



BEST AVAILABLE COPY

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of

IZUMI et al.

Atty. Ref.: 925-280 Confirmation No.

Appl. No. 10/748,140

TC/A.U. 2871

Filed: 12/31/03

Examiner: Schechter, Andrew

For: ACTIVE SUBSTRATE WITH PIXEL ELECTRODES MADE OF PHOTSENSITIVE  
CONDUCTIVE MATERIAL

\* \* \* \* \*

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

**RULE 131 DECLARATION**

I, Toshio Kangawa, hereby declare as follows:

1. I am currently employed by Aoyama & Partners, a Japanese law firm having an address at: IMP Building, 1-3-7, Shiomi, Chuo-ku, Osaka, 540-0001, JAPAN. I have been employed by Aoyama & Partners for over 20 years. My job title is "Patent Specialist."
2. As part of my job duties, since at least as early as January 1, 2000, I prepare, file and prosecute patent applications on various inventions for various clients.
3. It is my understanding that Sharp Corporation, headquartered in Osaka, Japan, is the assignee of the above-listed patent application which has been assigned Serial No. 10/748,140, which is a divisional of 09/863,266. Sharp Corporation is a client of Aoyama & Partners with respect to certain patent matters, and has been, since at least as early as January 1, 2000.

4. On about March 13, 2000, Aoyama & Partners received a "Request for Japanese Patent Application Procedure" from Sharp Corporation with respect to the invention described in the above-listed patent application which has been assigned Serial No. 10/748,140. This "Request for Japanese Patent Application Procedure," dated March 10, 2000, is attached hereto as Exhibit 1. An English translation of this "Request for Japanese Patent Application Procedure," dated March 10, 2000, is attached hereto as Exhibit 2.

5. The "Request for Japanese Patent Application Procedure" (Exhibits 1-2) was created at Sharp on about February 7, 2000 (see the "creation date" in Exhibits 1-2), and was received by Aoyama & Partners on about March 13, 2000 (see the date and stamp on the first page of Exhibit 1).

6. The first two pages of Exhibit 1, and the first four pages of Exhibit 2, relate to procedural matters. The remainder of Exhibits 1-2 describes inventions of the above-listed patent application which has been assigned Serial No. 10/748,140. For instance, the "Request for Japanese Patent Application Procedure", dated March 10, 2000, includes five drawing figures which correspond to Figs. 1-4 and 7-8 of 10/748,140 (Exs. 1-2).

7. Exs. 1-2 attached hereto, the "Request for Japanese Patent Application Procedure" dated March 10, 2000, describe and illustrate a method of making an active matrix substrate comprising (referring to the English translation at Ex. 2):

(a) forming switching elements disposed in a shape of a matrix, gate signal lines controlling the switching elements and extending in a first direction, and source signal lines connected to the switching elements and extending in a second direction perpendicular to the first direction on a front surface of a light permeable substrate;

(b) forming an interlayer insulating film on the switching elements, the gate signal lines, and the source signal lines;

(c) forming on the interlayer insulating film a negative type photosensitive transparent conductive material whose exposed parts are left in a pattern;

(d) performing exposure from a back surface side of the light permeable substrate in order to expose the negative type photosensitive transparent conductive material in a self-alignment fashion by using the gate signal lines and the source signal lines as exposure masks; and

(e) developing the negative type photosensitive transparent conductive material so as to obtain pixel electrodes by removing unexposed parts of the negative type photosensitive transparent conductive material.

8. The respective inventions of 10/748,140 are supported and described in the "Request for Japanese Patent Application Procedure" dated March 10, 2000 (Exs. 1-2).

9. Attached as Ex. 3 hereto is a "Concept Card" created at Sharp, dated February 4, 2000, relating to the inventions described in the "Request for Japanese Patent Application Procedure" dated March 10, 2000, and 10/748,140.

10. Attached as Ex. 4 hereto is a Sharp internal report, dated March 29, 2000, relating to the inventions described in the "Request for Japanese Patent Application Procedure" dated March 10, 2000, and 10/748,140.

11. On March 13, 2000, our firm received the "Request for Japanese Patent Application Procedure" dated March 10, 2000 from Sharp. Thereafter, the case was assigned to me and I began work on preparing a formal patent application for the instant inventions. After much work

on preparing the application, I finalized and sent a draft of the formal patent application to Sharp on May 23, 2000.

12. The May 23, 2000 application draft that I prepared and sent to Sharp was essentially the same as JP 2000-165848, filed with the Japanese Patent Office on June 2, 2000 (a certified copy of JP 2000-165848 has been filed with the USPTO in connection with 10/748,140). Ex. 5 attached hereto is a communication to me from Sharp dated May 29, 2000 indicating that the inventors approved of the May 23, 2000 application draft. The application was then filed with the Japanese Patent Office on June 2, 2000, and is identified as JP 2000-165848.

13. JP 2000-165848 includes all of the information discussed above that was in the "Request for Japanese Patent Application Procedure" dated March 10, 2000 from Sharp (Exs. 1-2), and also fully supports and describes the inventions set forth in 10/748,140.

14. Ex. 6 attached hereto is a listing of my time records from April 21, 2000 through June 20, 2000. Certain records in Ex. 6 are indicative of work I performed in preparing the forwarding the aforesaid draft patent application to Sharp, and then filing it with the Japanese Patent Office.

15. In view of the above, the inventions in 10/748,140 were invented prior to May 16, 2000, and diligently worked on from a point in time prior to May 16, 2000 up until the filing of JP 2000-165848 on June 2, 2000, which constructively reduced the inventions to practice.

16. I hereby declare that all statements made herein of my own knowledge are true and that all statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under Section 1001 of Title 18 of the United States

IZUMI et al.  
Appl. No. 10/748,140

Code and that such willful false statements may jeopardize the validity of the application or any patent issued thereon.

Respectfully submitted,

By: Toshio Kengawa

2000年3月10日

青山特許事務所 殿



シャープ株式会社  
知的財産権本部  
本部長 佐々木 晴康



国内出願手続依頼の件

拝啓 益々ご隆盛のことお慶び申し上げます。

平素は格別のご高配を賜り厚く御礼申し上げます。

さて、同封の出願依頼書（12件）につき、国内出願手続を依頼致し  
たく、宜しくお願い申し上げます。

敬具

Ex. 1

SHARP

特許  
実用新案 出願依頼書

0543

極秘

知財本部	(液晶研) 特許開発部	専任者	依頼部門
SHARP 00.2.24 受付	部長 (印)	(印)	(印)

整理No.	特・実整
出願日	年 月 日
受理No.	00J00996
依頼No.	99L139
特許開発部コード	51

液晶 本部 研究所 オフ南院 (内線No. 8-742-420)  
 依頼部門 事業部 部 (所属コード: 44320) 作成日 12年 2月 7日

本件について、特許・実用新案登録・意匠登録を受ける権利をシャープ株式会社に譲渡いたします。					
発明・考案 記入欄	(氏名コード)	1	フリガナ イズミ コンヒロ (和泉 良弘) (108428)	4	フリガナ ( ) ( ) (E)
	発明・考案者	2	フリガナ テカマヨミサ (近間 義祥) (119909)	5	フリガナ ( ) ( ) (E)
		3	フリガナ ( ) ( ) (E)	6	フリガナ ( ) ( ) (E)
発明・考案の名称		アクリルマトリクス基板 BUV 表示装置、撮像装置 (IPC: )			
発明・考案の要旨		SHA構造のアクリルマトリクス基板において、画素電極材料として、ネガ型の感光性透明導電膜を使用する。フロッピーの短縮が可能で、かつ裏面露光により、自動的に画素電極を形成することが可能となる。			
共同出願		相手方: 共同出願確認書に代表者名、相手方住所、発明(考案)者名、住所等をフリガナ付で記載し添付願います。			

所属長記入欄 (発明の評価に必要ですのて全項目を記入して下さい)	一技術的価値一		一経済的価値一	
	a. 機能的効果 (大) 中 小		イ. コストダウン 大いに有 (有) 無 評価不能	
	b. 発明のタイプ (関連出願: 無し) 基本発明 改良・周辺技術 防衛		ロ. 他社との差別化 大いに有 (有) 有 いくらか有	
	c. 公知技術との差異 (公知文献名: 特許 2933876号) 有 いくらか有 不明 あまりない		ハ. 市場規模 (大) 中 小	
公知技術事前調査 特許 H10-20321		ニ. 技術・製品の寿命 3年以上 (不明) 3年未満		
(調査手段) STEPS・STAGE・本部DB		I. 実施化の見込み 採用決定 使用検討中 採用未定 着想のみ		
検索式/分類: モーフト検索		商品化計画 決定 年 月 日より		
調査期間: 年 月 日 ~ 年 月 日		機種名: 機種名		
d. 他社に対する影響力 強い 普通 弱い		II. テーマの重要性 最重要 重要 普通		
<記入時の留意事項>		テーマ名: 脱臭空気成膜 (2015)		
1. 『公知技術との差異』の項目の『公知文献名』は本発明に最も類似していると思われる公知技術について記載し、文献の写しを添付下さい。				
2. 『市場規模』の項目は、数年後の市場予測を加味して記載下さい。				
3. 『実施化の見込み』の項目は、評価実験中又は工業会等において提案中のものであれば採用検討中と記載下さい。				

依頼部門意見	外国出願予定 有・(未定)・無	特許提案会等からの提案 : YES・NO
	(出願希望国 : )	提案整理番号 : 開催日: 平成 年 月 日
	(理由 : )	開発テーマ :
外国出願される場合は、別途外国出願依頼書を提出願います。		
国内優先権の基礎出願 : 特・実整		社外発表等の予定日 平成 年 月 日 (製品・学会・他)
依頼番号 99L138 の案件と同日出願をお願ひします (受付番号 0543) 当特許No. 170516		<input type="checkbox"/> IP1 (先取り発明の育成) <input type="checkbox"/> IP2 (核となる発明の充実・強化) <input type="checkbox"/> IP3 (緊急案件の出願依頼書の作成) (担当者・氏名コード: )

知財 記入欄	発明の評価制度に基づき、本件は下記の結果となりましたので通知します。		所属長
	A. 重点処理 (B) 通常処理 C. 簡易処理 (出願・公開技報)		00.2.26
	D. 差戻し (記載不備、3週間以内に補充が無ければ出願取止めとします)		00.2.26
E. 出願取止め		出願担当者 (氏名コード) 114948	雅西
6-1		特許事務所 青山PQ	左田

## 【発明の名称】

アクティブマトリクス基板および表示装置、撮像装置

## 【特許請求の範囲】

## 【請求項1】

マトリクス状に形成されたスイッチング素子と、該スイッチング素子を制御するゲート信号線と、該スイッチング素子にデータ信号を供給し、前記ゲート信号線に直交するように形成されたソース信号線と、前記スイッチング素子、ゲート信号線及びソース信号線の上に形成された層間絶縁膜と、該層間絶縁膜の上に形成され、該層間絶縁膜を貫くコンタクトホールを介して前記スイッチング素子に接続される画素電極と、を備えたアクティブマトリクス基板において、

前記画素電極が、感光性透明導電材料から形成されていることを特徴とするアクティブマトリクス基板。

## 【請求項2】

前記感光性透明導電材料が、ネガ型の感光性を有することを特徴とする請求項1に記載のアクティブマトリクス基板。

## 【請求項3】

前記感光性透明導電材料が、透明導電性微粒子を含有する感光性樹脂からなることを特徴とする請求項1に記載のアクティブマトリクス基板。

## 【請求項4】

前記透明導電性微粒子は、ITO(インジウム錫酸化物)またはATO(アンチモン錫酸化物)であることを特徴とする請求項に記載のアクティブマトリクス基板。

## 【請求項5】

前記請求項1～4のいずれかに記載のアクティブマトリクス基板を備えたフラットパネル型の表示装置。

## 【請求項6】

前記請求項1～4のいずれかに記載のアクティブマトリクス基板を備えたフラットパネル型の撮像装置。

## 【発明の属する技術分野】

本発明は、フラットパネル型の表示装置や撮像装置などに用いられるアクティブマトリクス基板に関する。

## 【従来の技術】

液晶表示装置は、電極の形成された2枚の基板によって液晶分子を挟持し、両基板の電極間に電気信号を印加することによって、バックライトより入射する光の透過率を変化させて情報を表示するものである。この液晶表示装置は、ブラウン管方式と比較して、薄型、軽量、低消費電力であることを特徴としており、卓上パーソナル情報端末機器やアミューズメント機器等に搭載されている。

この液晶表示装置は、高精細化、高画質化の要望が高いため、現在では薄膜トランジスタ(以下TFTという)等の能動素子を備えたアクティブマトリクス型液晶表示装置が主流となっている。このアクティブマトリクス型液晶表示装置において、現在画素の開口率を大きくするための開発が盛んに行われている。画素の開口率を大きくすることによって、バックライトより入射する光の透過率が向上させることができ、バックライト光の明るさを維持しながら更なる低消費電力化が図れる、同じバックライトを用いた場合にはより明るい表示が得られる等の利点を得ることができる。

このような背景の中、画素の開口率を大きくするために、画素電極を開口部一杯まで広げた構造を有するアクティブマトリクス型を用いた液晶表示装置が特許番号第2933876号などで提案され実用化されている。

図5は従来のアクティブマトリクス型液晶表示装置に用いるアクティブマトリクス基板の1画素分の平面図であり、図6は図5におけるB-B'断面図である。

図5、図6において、31は透光性基板、22はゲート信号線、23はソース信号線、27は容量配線、21は画素電極である。この従来のアクティブマトリクス型液晶表示装置のアクティブマトリクス基板の製造方法について、図5、図6を用いて以下に説明する。

まず、透光性基板31上にゲート信号線22及び容量配線27を形成し、少なくともこれらを覆うようにゲート絶縁膜33を形成する。その後、TFTを形成する箇所に半導体層34、必要に応じてチャネル保護層35、ソース電極36a、ドレイン電極36bを形成し、該ソース電極36aと接続されるソース信号線23、及びドレイン電極36bと接続される接続電極25を形成した後、基板全面にわたって層間絶縁膜38を形成する。さらに、該層間絶縁膜38の上に形成される画素電極21と前記接続電極25とのコンタクトを取るために、前記層間絶縁膜38にコンタクトホール26を設け、画素電極21を形成していた。

なお、前記接続電極25の一部、及び前記ソース信号線23は、透明導電配線37aと金属配線37bとを積層させて形成されている。

また、画素電極21は、従来次のような手順で形成していた。まず、層間絶縁膜38及びコンタクトホール26を形成した後、ITO等の透明導電膜をスパッタ法等によって成膜し、さらにその上にポジ型のレジストをスピン塗布法等によって塗布する。次に、ステッパー等の露光装置によって、ゲート信号線22及びソース信号線23に対してアライメントしながら露光マスクをセットし、上部より露光する。続いて該露光パターンに従って前記透明導電膜をエッチングし、画素電極21としていた。

一方、特開平10-20321号では、上記構造のアクティブマトリクス基板において、塗布法によって成膜可能なITO材料を用いて画素電極21を形成する方法が開示されている。これにより、コンタクトホール26部分の平坦化が可能になる。しかし、特開平10-20321号においても、画素電極21を形成するITO膜をスパッタ法で成膜するか塗布法で形成するかの違いがあるものの、ITO膜をパターンニングする際には、上記同様のフォトリソグラフィ技術とエッチング技術を用いていた。

なお、上記のように層間絶縁膜上に画素電極を形成するアクティブマトリクス基板は、液晶表示装置を始めとするフラットパネル型の表示装置のみならず、「Denny L. Lee, et al., "A New Digital Detector for Projection Radiography", Proc. SPIE, Vol. 2432, pp. 237-249, 1995」等が開示されているように、フラットパネル型の撮像装置などにも使用されていた。

#### 【発明が解決しようとする課題】

しかしながら、上記従来のアクティブマトリクス基板の場合、以下のような問題が発生する。

①画素電極21を形成するには、ITO膜を上記方法で基板全面に形成した後、フォトレジスト塗布、該フォトレジストのマスク露光及び現像、ITO膜のエッチング、フォトレジスト剥離といった工程が順次必要であり、画素電極21の形成工程が長くなる。

②ITO膜のパターンニング工程において、ITO膜上に塗布したフォトレジストをマスク露光する際、露光精度（フォトレジストのパターン精度）が基板内でばらつくと、画素電極21とゲート信号線22の重ね合わせ部、または画素電極21とソース信号線23の重ね合わせ部に発生する寄生容量が、それに対応してばらつく。この寄生容量のばらつきは、表示装置においては表示の均一性に影響を与える。特に、フォトレジストをステッパー露光

機で露光する際には、ステッパーのショット毎に上記寄生容量が微妙に異なり、ショット単位の表示ムラが発生しやすい。

③ITO膜のパターニング工程において、ITO膜上に塗布したポジ型フォトレジストをマスク露光する際、基板上、またはマスク上にごみなどの異物が付着していると、その部分のフォトレジストが露光されず、不要なレジストパターンとして残ってしまう。この不要なレジストパターンが、隣接する画素電極間の隙間部分に存在すると、その後のエッチング工程において、その部分のITO膜がエッチングされずに残ってしまうため、画素電極間同士のリーク不良が発生することがある。

上記課題に望み、本発明は、画素電極の形成工程を短縮することができ、さらにセルフアライメントにより露光精度を向上させることが可能になり、さらに画素電極同士のリーク不良が発生し難いアクティブマトリクス基板を提供するものである。

#### 【課題を解決するための手段】

本発明の請求項1に記載のアクティブマトリクス基板は、マトリクス状に形成されたスイッチング素子と、該スイッチング素子を制御するゲート信号線と、該スイッチング素子にデータ信号を供給し、前記ゲート信号線に直交するように形成されたソース信号線と、前記スイッチング素子、ゲート信号線及びソース信号線の上に形成された層間絶縁膜と、該層間絶縁膜の上に形成され、該層間絶縁膜を貫くコンタクトホールを介して前記スイッチング素子に接続される画素電極と、を備えたアクティブマトリクス基板において、前記画素電極が、感光性透明導電材料から形成されていることを特徴としている。

本発明の請求項2に記載のアクティブマトリクス基板は、前記感光性透明導電材料が、ネガ型の感光性を有することを特徴としている。

本発明の請求項3に記載のアクティブマトリクス基板は、前記感光性透明導電材料が、透明導電性微粒子を含有する感光性樹脂からなることを特徴としている。

本発明の請求項4に記載のアクティブマトリクス基板は、前記透明導電性微粒子は、ITO（インジウム錫酸化物）またはATO（アンチモン錫酸化物）であることを特徴としている。

本発明の請求項5に記載のフラットパネル型の表示装置は、前記請求項1～4のいずれかに記載のアクティブマトリクス基板を備えていることを特徴としている。

本発明の請求項6に記載のフラットパネル型の撮像装置は、前記請求項1～4のいずれかに記載のアクティブマトリクス基板を備えていることを特徴としている。

以下、上記構成による作用について説明する。

本発明のアクティブマトリクス基板は、画素電極が、感光性透明導電材料から形成されているため、画素電極をパターンニングする際に、フォトレジストを用いたエッチング工程が不要になる。すなわち、感光性有する透明導電材料を基板上に塗布し、マスク露光を行い、現像を行うだけで、画素電極を形成することができ、画素電極形成工程の短縮が可能になる。さらにスパッタなどの真空成膜装置や、ITOのエッチング装置が不要となり、設備投資の削減、装置占有面積の縮小、稼働率の向上が可能になる。また、本発明のアクティブマトリクス基板の場合、ゲート信号線、ソース信号線、スイッチング素子の層の上に形成された層間絶縁膜上に画素電極を形成する構造になっているため、画素電極はアクティブマトリクス基板製造工程の最終工程で形成される。従って、画素電極材料が他の成膜工程に悪影響を与えることが無く、画素電極材料の選択種を広げることが可能になる。例えば、有機成分（樹脂成分）を含有する塗布型透明導電材料など、幅広く使用することが可能になる。

本発明のアクティブマトリクス基板は、前記感光性塗布塗布材料がネガ型の感光性を有しているので、アクティブマトリクス基板上に形成されているゲート信号線やソース信号線を露光マスクとして、アクティブマトリクス基板の裏面側から露光を行うことで、アライメントフリーで自己整合的にパターン露光を行うことが可能になる。この結果、画素電極とゲート信号線の重ね合わせ部、または画素電極とソース信号線の重ね合わせ部に発生する寄生容量のばらつきを全画素領域で均一にすることができ、表示の均一性を向上させることが可能になる。また、各信号線上に塗布された感光性透明導電材料は、信号線に孔欠陥が無い限り露光されることは無い。従って、従来のように露光時のごみの影響で画素電極間の隙間に導電性の残膜が発生することは無く、画素電極間同士を確実に絶縁することが可能になる。

本発明のアクティブマトリクス基板は、前記感光性透明導電材料が、透明導電性微粒子を含有する感光性樹脂により形成されているため、容易にITO材料に感光性を付与することが可能になる。また、プリベーク温度、露光量、などのパターンニング条件を左右する感光性樹脂と、導電性を左右する透明導電性微粒子を個々に最適化できるといったメリットも有する。

本発明のアクティブマトリクス基板は、前記透明導電性微粒子が、ITO（インジウム錫酸化物）またはATO（アンチモン錫酸化物）から形成されているため、画素電極に要求される透明度や電気特性を得ることが可能になる。

#### 【発明の実施の形態】

本発明の第1の実施形態について図1、図2を用いて説明する。

図1は本実施形態のアクティブマトリクス基板の平面図を示す図であり、図2は図1におけるA-A'断面図である。図1、図2において、31は透光性基板、22はゲート信号線、23はソース信号線、27は容量配線、21は画素電極である。また、33はゲート絶縁膜、34は半導体層、35はチャネル保護層、36aはソース電極、36bはドレイン電極、37bは金属配線、37aは透明導電配線、25は接続電極、38は層間絶縁膜、26はコンタクトホールである。（作用が同じ部材については、従来例の図5、図6と同じ番号を付与）

前記半導体層34は通常a-Siを用いて形成される。また、前記ソース電極36a及びドレイン電極36bは通常n+型a-Siを用いて形成される。また、ソース信号線23及び接続電極25は、各々金属配線37b及び透明導電配線37aを積層して形成されている。また、前記層間絶縁膜38は、SiO<sub>2</sub>やSiNX等の無機絶縁膜や、アクリル系樹脂やポリイミド系樹脂等の有機絶縁膜を用いることができる。

ここで、本実施形態において、前記画素電極21は塗布型の感光性透明導電材料。従って、図2に示されるように、コンタクトホール26部において凹部を生じることなく、画素電極21が略平坦に形成されている。

次に、本実施形態におけるアクティブマトリクス基板の製造方法について説明する。

まず、透光性基板31上にゲート信号線22及び容量配線27を形成し、少なくともこれらを覆うようにゲート絶縁膜38を形成する。その後、TFT24を形成する箇所に半導体層34、必要に応じてチャネル保護層35、ソース電極36a、ドレイン電極36bを形成し、該ソース電極36aと接続されるソース信号線23、及びドレイン電極36bと接続される接続電極25を形成した後、基板全面にわたって層間絶縁膜38を形成する。さらに、該層間絶縁膜38の上に形成される画素電極21と前記接続電極25とのコンタクトを取るために、前記層間絶縁膜38にコンタクトホール26を設ける。ここまでの工程は従来と同じである。

次に、画素電極21となる透明導電膜として塗布型の感光性透明導電材料（例えば、特開平10-255556に記載されているような、透明感光性樹脂にITOまたはATOの超微粒子を分散させた材料）をスピン塗布法によって基板全面に平坦に塗布し、80℃～100℃で5～15分乾燥させる。

次に、前記透明導電膜にマスク露光を行った後、TMHA系の有機アルカリ現像液を用いて前記透明導電膜を所望の形状に現像する。そして、200℃～250℃で15～30分の焼成を行うことで、画素電極21をパターン形成することでアクティブマトリクス基板が完成する。

このようにして製造されたアクティブマトリクス基板においては、画素電極21が、感光性透明導電材料から形成されているため、画素電極21をパターンニングする際に、従来のように、フォトリジストを用いたエッチング工程が不要になる。すなわち、感光性有する透明導電材料を基板上に塗布し、マスク露光を行い、現像を行うだけで、画素電極21を形成することができ、画素電極形成工程の短縮が可能になる。

さらにスパッタ装置などの真空成膜装置や、ITOのエッチング装置が不要となり、設備投資の削減、装置占有面積の縮小、稼働率の向上が可能になる。

また、本発明のアクティブマトリクス基板の場合、ゲート信号線、ソース信号線、スイッチング素子の上層に形成された層間絶縁膜上に画素電極を形成する構造になっているため、画素電極はアクティブマトリクス基板製造工程の最終工程で形成される。従って、画素電極材料が他の成膜工程に悪影響を与えることが無く、画素電極材料の選択種を広げることが可能になる。例えば、上述の特開H10-255556に開示されているような有機成分(樹脂成分)を含有する塗布型透明導電材料など、幅広く使用することが可能になる。

比較のために、図3に示すような他構造のアクティブマトリクス基板の画素電極21に、上記塗布型透明導電材料を採用した場合の問題点を以下に説明する。

図3は、図1、図2のアクティブマトリクス基板のような層間絶縁膜38を用いていない一般的なアクティブマトリクス基板の断面図である。この場合、画素電極21を形成したあとに、TFT24やソース信号線23の露出を防ぐために、 $\text{SiN}_x$ や $\text{SiO}_2$ からなる絶縁保護膜40を形成する必要がある。絶縁保護膜40は、通常プラズマCVDを用いて300℃以上の温度で成膜されるため、画素電極21として有機成分(樹脂成分)を含有する塗布型透明導電材料を用いると、後の絶縁保護膜40形成工程で画素電極21が変質してしまうことが判明した。

従って、図1、図2に示したような画素電極21の下層に層間絶縁膜38を有するアクティブマトリクス基板の構造は、特開H10-255556に開示されているような有機成分(樹脂成分)を含有する塗布型透明導電材料を画素電極に用いる際に最適な構造であるといえる。

なお、前記感光性透明導電材料は、特開平10-255556に記載されているような、透明感光性樹脂にITOまたはATOの超微粒子を分散させた材料に限定されることは無いが、本材料の場合、透明導電性微粒子を含有する感光性樹脂により形成されているため、容易にITO材料に感光性を付与することが容易である。また、プリベーク温度、露光量、などのパターンニング条件を左右する感光性樹脂と、導電性を左右する透明導電性微粒子を個々に最適化できるといったメリットも有するため最適である。また、これに用いる透明導電性微粒子として、ITO(インジウム錫酸化物)またはATO(アンチモン錫酸化物)から形成することで、画素電極に要求される透明度(可視光透過率:90%以上)や電気特性(シート抵抗値:1E5Ω/□以下)を容易に得ることが可能になる。

なお、前記感光性透明導電材料は塗布型の材料に限定させるものではなく、転写(ラミネート)型のドライフィルム材料であっても構わない。

次に、上記本発明のアクティブマトリクス基板に用いる画素電極21の好ましい形成方法について、図4を用いて説明する。

図4は本実施形態1で説明したアクティブマトリクス基板で用いた画素電極21の形成方法を示す模式図である。

図4-(1)は、層間絶縁膜38が形成されたアクティブマトリクス基板表面に、感光性透明導電材料が塗布さ

れた状態を示している。このとき、感光性透明導電材料にはネガ型（露光された部分がパターンとして残るタイプ）の感光性を有するものを用いる。

図4－(2)は、次ステップの感光性透明導電材料の露光方法を示す図である。このようにアクティブマトリクス基板の裏面側から紫外線露光を施すことが特徴である。このとき、アクティブマトリクス基板上に形成されている金属製の信号線（ゲート信号線22やソース信号線23）が露光マスクの役割を果たすため、信号線が存在する部分には光が照射されない。なお、裏面露光を用いることで本来露光されるべき部分が露光できない場所（例えば、容量配線27やTFT24の上層に存在する感光性透明導電材料については、裏面露光と併せて従来どおり表面側から露光すればよい）。

図4－(3)は、次ステップの現像により画素電極がパターンニングされた状態を示している。図4－(2)の工程で信号線をマスクとして裏面露光を行ったため、信号線が存在する部分を境界にして画素電極21がパターン形成される。

上述のように、ネガ型の感光性透明導電材料を用い、裏面から露光を行うことによって、以下のようなメリットが発生する。

アクティブマトリクス基板上に形成されているゲート信号線やソース信号線を露光マスクとして、アクティブマトリクス基板の裏面側から露光を行うことで、画素電極の21の矩形はアライメントフリーで自己整合的にパターン露光を行うことが可能になる。この結果、画素電極21とソース信号線23（またはゲート信号線22）の重ね合わせ部Xに発生する寄生容量 $C_x$ のばらつきを全画素領域で均一にすることができる。この結果、本アクティブマトリクス基板をフラットパネル型の表示装置に用いた場合、該寄生容量 $C_x$ を介した画素電極21の電位変動が全画素で均一になり、表示の均一性を向上させることが可能になる。また、本アクティブマトリクス基板をフラットパネル型の撮像装置に用いた場合、該寄生容量 $C_x$ を介した画素電極21の電位変動が全画素で均一になり、撮影画像の均一性を向上させることが可能になる。

また、裏面側から露光を行うため、各信号線上に塗布された感光性透明導電材料は、信号線に孔欠陥が無い限り露光されることは無い。従って、従来のように露光時のごみの影響で画素電極間の隙間に導電性の残膜が発生することは無く、画素電極間同士を確実に絶縁することが可能になる。

なお、本アクティブマトリクス基板を液晶表示装置に用いる場合、画素電極21のエッジ部近傍では液晶分子の配向が乱れることから、これを目立たなくするために画素電極21のエッジをソース信号線23（またはゲート信号線22）に重畳させて存在させることが望ましい。これに対し、上述の形成方法を用いれば、裏面露光を行う際の条件を過露光条件に設定することで、画素電極21とソース信号線23（またはゲート信号線22）の重ね合わせ部Xの幅を $0\sim 2\mu\text{m}$ の範囲で任意に調整することが可能である。

#### 【発明の効果】

本発明のアクティブマトリクス基板は、画素電極が、感光性透明導電材料から形成されているため、画素電極をパターンニングする際に、フォトリソを用いたエッチング工程が不要になる。すなわち、感光性有する透明導電材料を基板上に塗布し、マスク露光を行い、現像を行うだけで、画素電極を形成することができ、画素電極形成工程の短縮が可能になる。さらにスパッタなどの真空成膜装置や、ITOのエッチング装置が不要となり、設備投資の削減、装置占有面積の縮小、稼働率の向上が可能になる。また、本発明のアクティブマトリクス基板の場合、ゲート信号線、ソース信号線、スイッチング素子の上層に形成された層間絶縁膜上に画素電極を形成する構造になっているため、画素電極はアクティブマトリクス基板製造工程の最終工程で形成される。従って、画素電極材料が他の成膜工程に悪影響を与えることが無く、画素電極材料の選択種を広げることが可

能になる。例えば、有機成分(樹脂成分)を含有する塗布型透明導電材料など、幅広く使用することが可能になる。

本発明のアクティブマトリクス基板は、前記感光性塗布塗布材料がネガ型の感光性を有しているので、アクティブマトリクス基板上に形成されているゲート信号線やソース信号線を露光マスクとして、アクティブマトリクス基板の裏面側から露光を行うことで、アライメントフリーで自己整合的にパターン露光を行うことが可能になる。この結果、画素電極とゲート信号線の重ね合わせ部、または画素電極とソース信号線の重ね合わせ部に発生する寄生容量のばらつきを全画素領域で均一にすることができ、表示の均一性を向上させることが可能になる。また、各信号線上に塗布された感光性透明導電材料は、信号線に孔欠陥が無い限り露光されることは無い。従って、従来のように露光時のごみの影響で画素電極間の隙間に導電性の残膜が発生することは無く、画素電極間同士を確実に絶縁することが可能になる。

#### 【図面の簡単な説明】

【図1】本発明の実施形態に示すアクティブマトリクス基板を示す平面図である。

【図2】図1におけるA-A'断面図である。

【図3】本発明の比較例となるアクティブマトリクス基板の断面図。

【図4】本発明の実施形態に示すアクティブマトリクス基板における、画素電極の形成方法を示す模式図。

【図5】従来のアクティブマトリクス基板を示す平面図である。

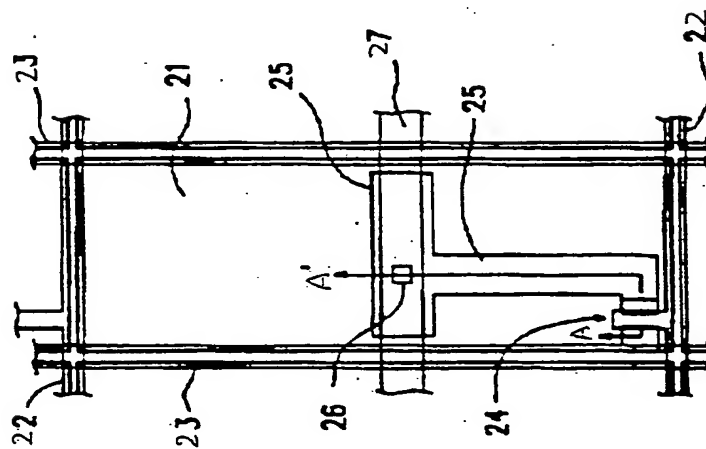
【図6】図5におけるB-B'断面図である。

#### 【符号の説明】

- 31 透光性基板
- 22 ゲート信号線
- 23 ソース信号線
- 27 容量配線
- 21 画素電極
- 33 ゲート絶縁膜
- 34 半導体層
- 35 チャネル保護層
- 36a ソース電極
- 36b ドレイン電極
- 37b 金属配線
- 37a 透明導電配線
- 25 接続電極
- 38 層間絶縁膜
- 26 コンタクトホール
- 24 TFT(薄膜トランジスタ)

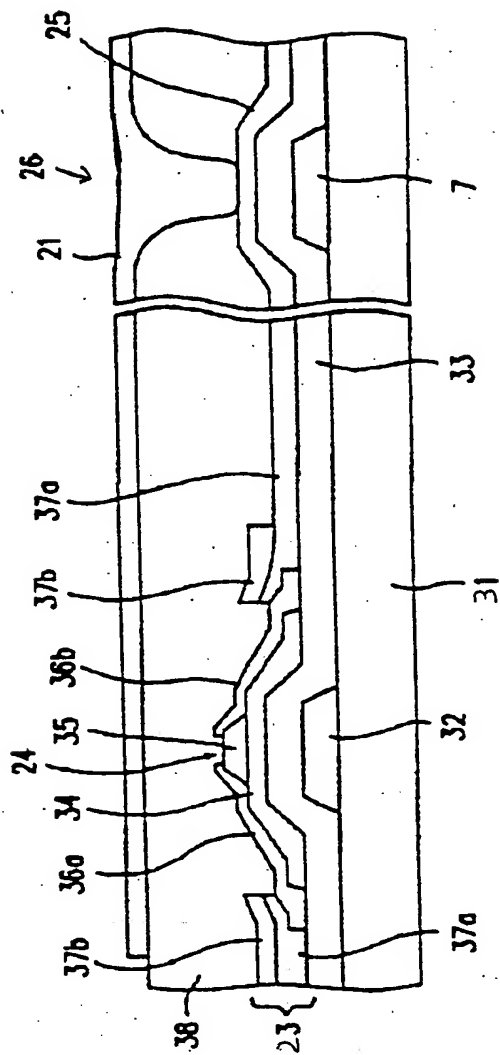
X 2,0

【図1】



X 1,4

【図2】



【图3】

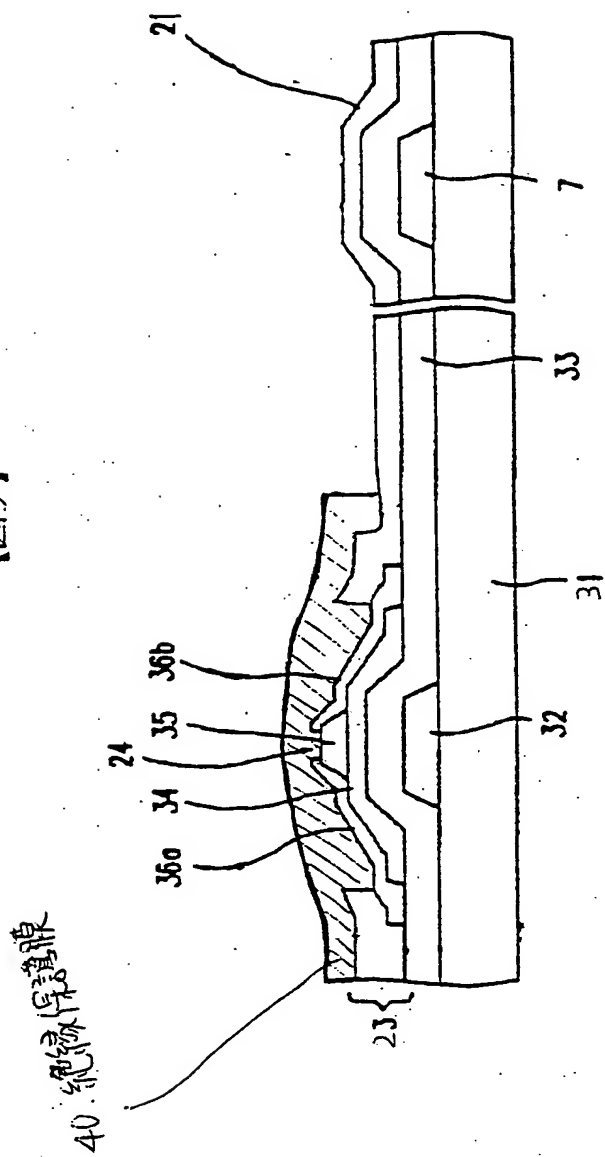
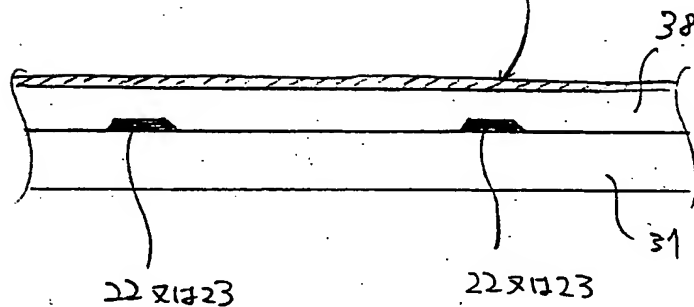


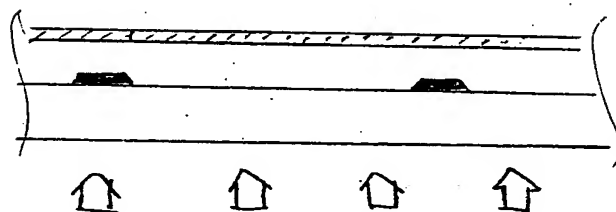
図4

ネガ型  
感光性塗布型透明導電膜

(1)



(2)

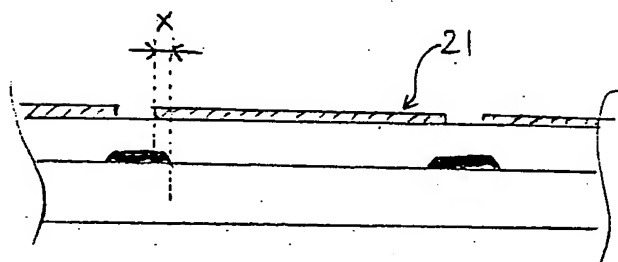


裏面から露光

紫外線露光

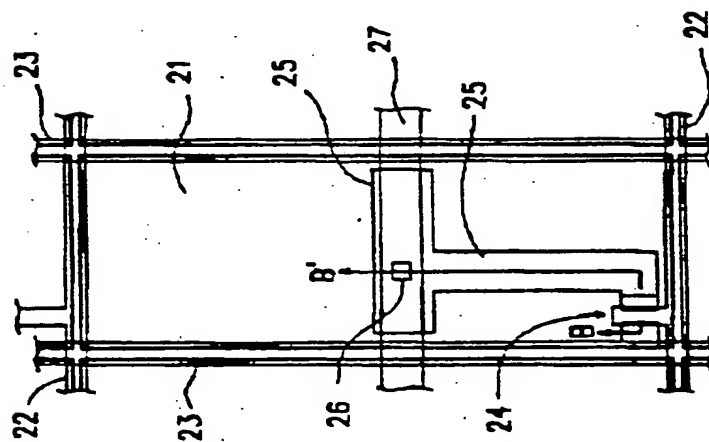


(3)

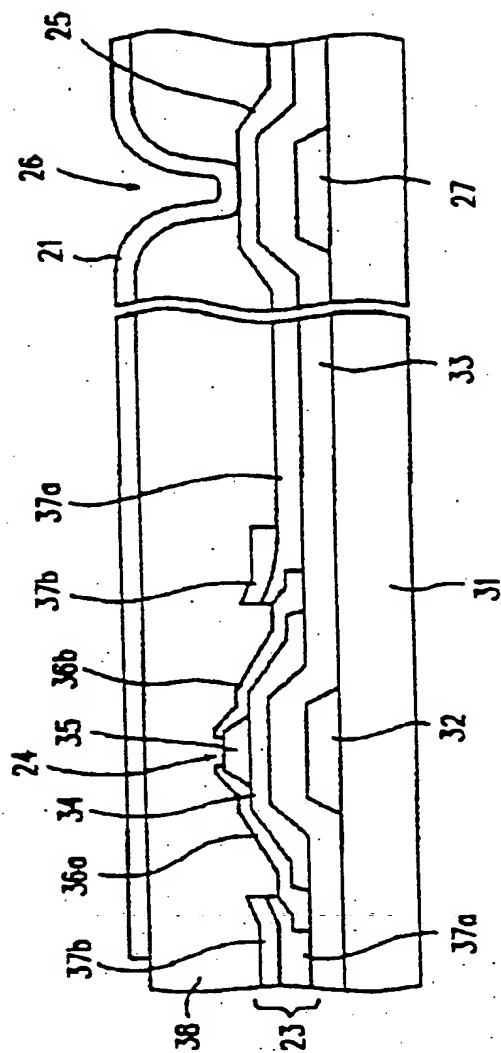


現像

【図5】



【図6】



English Translation of Document A

March 10, 2000

AOYAMA & PARTNERS

Re: Request for Japanese Patent Application Procedure

Dear Sirs,

We would like you to make patent specifications and claims based on the 12 documents attached hereto.

Sincerely yours,

SHARP KABUSHIKI KAISHA  
Haruyasu SASAKI  
Group General Manager  
Intellectual Property Group

(seal)

Ex. 2

SHARP

Request for Patent/Utility Model Application 0543

Confidential

Reception No. 00J00996

Request No. 99L 139

Code of Patent Development Division: 51

Division making a request: Liquid Crystal Institute, Second Development Division

(Extension No. 8-742-4120)

(Code of the division: 44320)

Creation date: February 7, 2000

Space for an inventor(s)	With regard to this matter, I will assign the right to obtain a patent/utility model/design to SHARP KABUSHIKI KAISHA CO., LTD.	
	(Name code) Inventor	1. (108428) Yoshihiro IZUMI (Seal) 2. (119909) Yoshimasa CHIKAMA (Seal)
	Title of the invention	ACTIVE MATRIX SUBSTRATE AND DISPLAY DEVICE, IMAGE SENSING APPARATUS
	Summary of the invention	In an active matrix substrate with a SHA structure, a negative-type photosensitive transparent conductive film is used as a material of pixel electrodes. Shortening the process is enabled. Moreover, performing exposure from the back side of the substrate enables self-aligned pattern formation of a pixel electrode.

(Continued)

<p>Space for an immediate manager</p>	<p>- Technical evaluation -</p> <p>a. Functional effect</p> <p><input checked="" type="checkbox"/> Great</p> <p><input type="checkbox"/> Moderate</p> <p><input type="checkbox"/> Small</p> <p>b. Type of invention</p> <p><input type="checkbox"/> Basic invention</p> <p><input checked="" type="checkbox"/> Improved/peripheral technology</p> <p><input type="checkbox"/> Protection</p> <p>(Related patent application: None)</p> <p>c. Difference from well-known technology</p> <p><input type="checkbox"/> Greatly different</p> <p><input checked="" type="checkbox"/> Different to some extent/unclear</p> <p><input type="checkbox"/> Not so much different</p> <p>Well-known document name</p> <p>(Japanese Patent No. 2933876)</p> <p>Prior search for well-known technology (JP10-20321 (A))</p> <p>(Means of search): STAGE</p> <p>Search formula/classification: Keyword search</p>	<p>- Economical evaluation -</p> <p>a. Cost down</p> <p><input type="checkbox"/> Contributes greatly</p> <p><input checked="" type="checkbox"/> Contributes moderately</p> <p><input type="checkbox"/> No contribution</p> <p><input type="checkbox"/> Impossible to evaluate</p> <p>b. Differentiation from other companies (Sales point etc.)</p> <p><input checked="" type="checkbox"/> Greatly differentiated</p> <p><input type="checkbox"/> Differentiated</p> <p><input type="checkbox"/> Differentiated to some extent</p> <p>c. Market scale</p> <p><input checked="" type="checkbox"/> Large</p> <p><input type="checkbox"/> Medium</p> <p><input type="checkbox"/> Small</p> <p>(Specific reason: Applicable to all including ICD and FPS.)</p> <p>d. Lifetime of the technology/product</p> <p><input type="checkbox"/> 3 years or more</p> <p><input checked="" type="checkbox"/> unclear</p> <p><input type="checkbox"/> less than 3 years</p> <p>I. Possibility of reduction to practice</p> <p><input type="checkbox"/> Decision of adoption</p> <p><input checked="" type="checkbox"/> Under use and study</p> <p><input type="checkbox"/> Adoption has not been determined yet.</p> <p><input type="checkbox"/> Only conception</p>
---------------------------------------	---	---

<p>Plan for commercialization</p> <p>Not determined yet.</p> <p>II. Importance of the theme</p> <p><input type="checkbox"/> Primarily important</p> <p><input checked="" type="checkbox"/> Important</p> <p><input type="checkbox"/> Normal</p> <p>(Merchandise strategy etc.)</p> <p>Theme: Breakaway from vacuum film formation (zero-pro z015)</p>		
	<p>Schedule for foreign patent application</p> <p><input type="checkbox"/> Scheduled</p> <p><input checked="" type="checkbox"/> Not determined yet</p> <p><input type="checkbox"/> Not scheduled</p> <p>We request that this application and another application (Aoyama reference No. 170516), i.e., request No. 99L 138 (reception No. 0543) be filed on the same day.</p>	<p>Requested division's opinion</p>
	<p>The evaluation result of the present case is as follows on the basis of the evaluation system of the invention.</p> <p><input type="checkbox"/> A. Intensively disposed</p> <p><input checked="" type="checkbox"/> B. Normally disposed</p> <p><input type="checkbox"/> C. Simply disposed (Filing/laid-open publication)</p> <p><input type="checkbox"/> D. Returning (Improper description, if no supplement is made within 3 weeks, filing is to be cancelled.)</p> <p><input type="checkbox"/> E. Cancellation of filing</p>	<p>Space for the intellectual department</p>

Title of the invention: ACTIVE MATRIX SUBSTRATE AND DISPLAY  
DEVICE, IMAGE SENSING DEVICE

What is claimed is:

1. An active matrix substrate comprising:

5 switching elements disposed in a shape of a  
matrix;

gate signal lines controlling the switching  
elements;

10 source signal lines supplying data signals to the  
switching elements and formed orthogonal to the gate signal  
lines;

an interlayer insulating film formed on the  
switching elements, the gate signal lines, and the source  
signal lines; and

15 pixel electrodes formed on the interlayer  
insulating film and connected to the switching elements  
through contact holes piercing through the interlayer  
insulating film, wherein

20 the pixel electrodes are made from a  
photosensitive transparent conductive material.

2. The active matrix substrate as defined in Claim  
1, wherein the photosensitive transparent conductive  
material has negative type photosensitivity.

3. The active matrix substrate as defined in Claim  
25 1, wherein the photosensitive transparent conductive

material is made from photosensitive resin containing transparent conductive ultrafine particles.

4. The active matrix substrate as defined in Claim 3, wherein the transparent conductive ultrafine particles are either ITO (indium tin oxide) or ATO (antimony tin oxide).

5. A flat panel display device having the active matrix substrate as defined in any one of Claims 1 to 4.

6. A flat panel image sensing device having the active matrix substrate as defined in any one of Claims 1 to 4.

Technical field to which the invention pertains:

The present invention relates to an active matrix substrate used for flat panel display devices, image sensing devices and the like.

A liquid crystal display device holds liquid crystal molecules in between two substrates on which electrodes are formed, and electric signals applied to between the electrodes on the both substrates vary the transmissivity of light coming from back light, by which information is displayed. Compared to cathode-ray tube display devices, the liquid crystal display devices are thin, light-weighted, and low power consumption, and mounted on such devices as desktop personal information terminal equipment and amusement instruments.

As demands for high fineness and high image quality of the liquid crystal display devices are increasing, a prevailing liquid crystal display device is the one of an active matrix type having active elements such as thin-film transistors (hereinafter referred to as TFT). In the field of the active matrix-type liquid crystal display device, much development efforts for increasing the aperture ratio of a pixel is made. By increasing the aperture ratio, the transmissivity of incident light from back light can be improved so that the following advantages are obtained. Lower power consumption is achieved while maintaining the illuminance of back light. With the same back light, brighter display is obtained.

Under such circumstances, there has been proposed and put into practical use, for example in Japanese Patent No. 2933876 and the like, an active matrix type liquid crystal display device in which a pixel electrode is extended all over an aperture portion in order to increase the aperture ratio of a pixel.

Fig. 5 is a plan view showing one pixel on an active matrix substrate to be used for a conventional active matrix liquid crystal display device. Fig. 6 is a cross sectional view taken on the line B-B' of Fig. 5.

In Fig. 5 and Fig. 6, reference numeral 31 denotes a light permeable substrate, reference numeral 22 denotes a gate signal line, reference numeral 23 denotes a source signal line, reference numeral 27 denotes a capacity line and reference numeral 21 denotes a pixel electrode. The fabrication process of the active matrix substrate of the conventional active matrix liquid crystal display device will hereinafter be described with reference to Fig. 5 and Fig. 6.

First, a gate signal line 22 and a capacity line 27 are formed on a light permeable substrate 31, and a gate insulating film 33 is formed so as at least to cover those lines 22 and 27. After that, at the place for forming a TFT, there are created a semiconductor layer 34, a channel protection layer 35 as needed, a source electrode 36a, and a drain electrode 36b. Then, there are formed a source signal line 23 to be connected to the source electrode 36a, and a connection electrode 25 to be connected to the drain electrode 36b, and thereafter an interlayer insulating film 38 is formed over the entire surface of the substrate. Further, in order to establish contact between a pixel electrode 21 formed on the interlayer insulating film 38 and the connection electrode 25, a contact hole 26 is provided in the interlayer insulating film 38. Thus, the pixel electrode 21 is formed.

It is noted that part of the connection electrode 25 and the source signal line 23 are formed by laminating a transparent conductive line 37a and a metal line 37b.

5 The pixel electrode 21 is conventionally formed by the following steps. First, the interlayer insulating film 38 and the contact hole 26 are formed, after which a transparent conductive film such as ITO (indium tin oxide) films is formed by a sputter technique and the like. On the transparent conductive film, positive type resist is  
10 applied by spin coating method. Next, while alignment with the gate signal line 22 and the source signal line 23 is performed, an exposure mask is set, and exposure is made from the upper side. Then, the transparent conductive film is etched in accordance with the exposed pattern to  
15 complete the pixel electrode 21.

On the other hand, Patent Laid-Open Publication HEI 10-20321 discloses a method of forming the pixel electrode 21 of the active matrix substrate with the above structure, using ITO materials that can form film by the  
20 coating method. Thereby, planarization at the position of the contact hole 26 is enabled. However, although there is a difference that an ITO film to serve as the pixel electrode 21 is formed by the coating method, this method is the same as the above stated fabrication method in the

point that a patterning process of the ITO film uses a photo lithography technique and an etching technique.

It will be understood that the above-stated active matrix substrate having pixel electrodes formed on an interlayer insulating film is used not only in flat panel display devices such as liquid crystal display devices but also in flat panel image sensing devices as disclosed for example in "A New Digital Detector for Projection Radiography", Proc. SPIE, Vol. 2432, pp. 237-249, 1995 by Denny L. Lee, et al.

Problem to be solved by the invention:

However, the conventional active matrix substrate described hereinabove has following problems.

① Creation of the pixel electrode 21 requires a series of steps after an ITO film is fabricated by the above-stated method over the entire surface of a substrate, the steps including application of photo resist, mask exposure and development of the photo resist, etching of the ITO film, and removal of the photo resist, resulting in long fabrication process of the pixel electrode 21.

② In the process of patterning an ITO film, when photo resist applied on the ITO film is mask-exposed, dispersion of exposure precision (pattern accuracy of photo resist) within the substrate causes corresponding dispersion of parasitic capacitance generated in a

superposed portion of the pixel electrode 21 and the source signal line 23. The dispersion of the parasitic capacitance affects the uniformity of display in display devices. In particular, upon exposure of photo resist especially by a stepper exposing device, the parasitic capacitance shows slight variance per shot of the stepper, resulting in facilitated generation of irregular display per shot.

③ In the process of patterning an ITO film, when positive type photo resist applied on the ITO film is mask-exposed, foreign matters such as dust attached on the substrate or on the mask hinder the photo resist of the attached area from being exposed, as a consequence of which the attached area is left as an unnecessary resist pattern. If the unnecessary resist pattern is present in a clearance portion between adjacent pixel electrodes, the ITO film of the portion is not etched and remains in an etching step thereafter, which causes leakage failures.

In view of the above problem, it is an object of the present invention to provide an active matrix substrate which enables to shorten the fabrication process of the pixel electrode, improve exposure precision by self alignment, and prevent leakage failures between the pixel electrodes.

Means of solving the problem:

An active matrix substrate as defined in Claim 1 of the present invention comprises:

switching elements disposed in a shape of a matrix;

5 gate signal lines controlling the switching elements;

source signal lines supplying data signals to the switching elements and formed orthogonal to the gate signal lines;

10 an interlayer insulating film formed on the switching elements, the gate signal lines, and the source signal lines; and

pixel electrodes formed on the interlayer insulating film and connected to the switching elements through contact holes piercing through the interlayer insulating film, wherein

15 the pixel electrodes are made from a photosensitive transparent conductive material.

In the active matrix substrate as defined in Claim 2, the photosensitive transparent conductive material has negative type photosensitivity.

In the active matrix substrate as defined in Claim 3, the photosensitive transparent conductive material is made from photosensitive resin containing transparent  
25 conductive ultrafine particles.

In the active matrix substrate as defined in Claim 4, the transparent conductive ultrafine particles are either ITO (indium tin oxide) or ATO (antimony tin oxide).

5 A flat panel display device as defined in Claim 5 has the active matrix substrate as defined in any one of Claims 1 to 4.

A flat panel image sensing device as defined in Claim 6 has the active matrix substrate as defined in any one of Claims 1 to 4.

10 Effects of the above construction will hereinafter be described.

In the active matrix substrate of the present invention, the pixel electrodes are made from a photosensitive transparent conductive material, so that in  
15 the process of patterning the pixel electrodes, the step of etching using photo resist is not required. That is to say, the pixel electrodes can be fabricated by a simple process consisting of applying a transparent conductive material with photosensitivity on the substrate, and  
20 performing photo exposure and development. Therefore, the fabrication process of the pixel electrode can be shortened. In addition, vacuum film-forming devices such as sputters as well as etching units for ITO are not required, which enables reduction of equipment investments,  
25 decrease of device space required, and increase of working

efficiency. Further the active matrix substrate of the present invention has a structure in which the pixel electrodes are formed on the interlayer insulating film, which is formed on the gate signal lines, the source signal lines, and the switching elements, so that the pixel electrodes are to be formed in the final fabrication process of the active matrix substrate. Consequently, the material of the pixel electrode does not affect the film-formation process of other parts, which brings about broader selections of materials for the pixel electrode. For example, coat-type transparent conductive materials containing an organic component (resin component) and the like can be broadly used.

In the active matrix substrate of the present invention, the photosensitive coating material has negative type photosensitivity. Therefore, using the gate signal lines and the source signal lines formed on the active matrix substrate as exposure masks and performing exposure from the back side of the substrate enable self-aligned pattern formation of film without practicing alignment. As a result, dispersion of parasitic capacitance, which is generated in a superposed portion of the pixel electrode and the gate signal line or in a superposed portion of the pixel electrode and the source signal line, can be uniformed in the entire pixel area, by which the uniformity

of display is improved. In addition, a photosensitive transparent conductive material applied over each signal line is not exposed unless any defect such as open holes are present on the signal lines. Accordingly, unlike the case of mask exposure of conventional positive type photo resist, a conductive film remain is not generated in clearance between pixel electrodes by the presence of dust in the process of exposure. This ensures insulation between the pixel electrodes.

10 In the active matrix substrate of the present invention, the photosensitive transparent conductive material is made from photosensitive resin containing transparent conductive ultrafine particles. Therefore, photosensitivity is easily imparted to the ITO material. 15 It is also advantageous that the photosensitive resin determining patterning conditions such as pre-bake temperature and light exposure and the transparent conductive ultrafine particles determining conductivity can be separately optimized.

20 In the active matrix substrate of the present invention, since the transparent conductive ultrafine particles are made from ITO (indium tin oxide) or ATO (antimony tin oxide), it becomes possible to obtain transparency and electric characteristics required for the pixel electrode. 25

Mode for carrying out the invention:

A first embodiment of the present invention will be described hereinafter with reference to Fig.1 and Fig. 2.

5            Fig. 1 is a plan view showing an active matrix substrate of the present embodiment, and Fig. 2 is a cross sectional view taken on the line A-A' of Fig. 1. In Fig. 1 and Fig. 2, reference numeral 31 denotes a light permeable substrate, reference numeral 22 denotes a gate signal line, 10    reference numeral 23 denotes a source signal line, reference numeral 27 denotes a capacity line, and reference numeral 21 denotes a pixel electrode. Reference numeral 33 denotes a gate insulating film, reference numeral 34 denotes a semiconductor layer, reference numeral 35 denotes 15    a channel protection layer, reference numeral 36a denotes a source electrode, reference numeral 36b denotes a drain electrode, reference numeral 37b denotes a metal line, reference numeral 37a denotes a transparent conductive line, reference numeral 25 denotes a connection electrode, 20    reference numeral 38 denotes an interlayer insulating film, and reference numeral 26 denotes a contact hole. (Component members having the same function are denoted by the same numerals as those of Fig.5 and Fig. 6 in the prior art.)

The semiconductor layer 34 is usually made from amorphous Si (silicon). The source electrode 36a and the drain electrode 36b are usually made from  $n^+$  type amorphous Si. The source signal line 23 and the connection electrode 25 are formed by laminating a transparent conductive line 37a and a metal line 37b. The interlayer insulating film 38 is made from an inorganic insulator such as  $\text{SiO}_2$  and  $\text{SiNx}$  or an organic insulator such as acrylic resin and polyimide resin.

In the present embodiment, the pixel electrode 21 is a coat-type photosensitive transparent conductive material. Thus, as shown in Fig. 2, a concave is not generated in the portion of the contact hole 26, so that the pixel electrode 21 has an approximately flat surface.

Next, a process for fabricating an active matrix substrate in the present embodiment will be described.

First, a gate signal line 22 and a capacity line 27 are formed on a light permeable substrate 31, and a gate insulating film 38 is formed so as at least to cover the lines 22 and 27. After that, at the place for forming a TFT 24, there are formed a semiconductor layer 34, a channel protection layer 35 as needed, a source electrode 36a, and a drain electrode 36b. Then, there are formed a source signal line 23 to be connected to the source electrode 36a, and a connection electrode 25 to be

connected to the drain electrode 36b, and thereafter an interlayer insulating film 38 is formed over the entire surface of the substrate. Further, in order to establish contact between a pixel electrode 21 formed on the interlayer insulating film 38 and the connection electrode 25, a contact hole 26 is provided in the interlayer insulating film 38. The fabrication process up to this point is identical to that of the prior art.

Next, as a transparent conductive film serving as a pixel electrode 21, a coat-type photosensitive transparent conductive material (e.g. a material made from transparent photosensitive resin and ultrafine particles of ITO or ATO dispersed in the transparent photosensitive resin as disclosed in Japanese Patent Laid-Open Publication HEI 10-255556) is applied uniformly over the entire surface of the substrate by spin coating method, and dried at the temperature of 80°C to 100°C for 5 to 15 minutes.

Next, the photosensitive transparent conductive film is mask-exposed, and developed to obtain a desired shape by using TMAH (tetra methyl ammonium hydroxide) based organic alkaline developing solution. Then, the film is baked at the temperature of 200°C to 250°C for 15 to 30 minutes, by which pattern formation of a pixel electrode 21 is implemented and an active matrix substrate is completed.

In thus-fabricated active matrix substrate, the pixel electrode 21 is composed of a photosensitive transparent conductive material, so that in the process of patterning the pixel electrode 21, the step of etching using photo resist is not necessary. Consequently, the pixel electrode 21 can be fabricated by a simple process consisting of applying a transparent conductive material with photosensitivity on the substrate, and performing mask-exposure and development. Therefore, the fabrication process of the pixel electrode can be shortened.

In addition, vacuum film-creating devices such as sputtering systems as well as etching units for ITO are not necessary, which enables reduction of equipment investments, decrease of device space required, and increase of working efficiency.

Further in the active matrix substrate of the present invention, the pixel electrode is formed on the interlayer insulating film which is formed on the gate signal line, source signal line, and the switching element, so that the pixel electrode is to be formed in the final fabrication process of the active matrix substrate. Consequently, the material of the pixel electrode could not affect the film-formation process of other parts, which brings about broader selections of materials for the pixel electrode. For example, such materials as coat-type

transparent conductive materials containing an organic component (resin component) as disclosed in the above-stated Japanese Patent Laid-Open Publication HEI 10-255556 can be broadly used.

5           For comparison, problems in the case where the coat-type transparent conductive material is adopted to an active matrix substrate with another structure as shown in Fig. 3 will hereinafter be described.

10           Fig. 3 is a cross sectional view of a conventional active matrix substrate which does not employ an interlayer insulating film 38 unlike the active matrix display shown in Fig. 1 and Fig. 2. In this case, after the pixel electrode 21 is formed, it is required to form an insulating overcoat 40 made from  $\text{SiNx}$  or  $\text{SiO}_2$  for  
15           preventing exposure of the TFT 24 and the source signal line 23. The insulating overcoat 40 is normally formed by plasma CVD method at the temperature of  $300^\circ\text{C}$  or above. Consequently, if a coat-type transparent conductive material containing an organic component (resin component)  
20           according to the present invention is used as a material of the pixel electrode 21, it has been found that the pixel electrode 21 will degenerate in the formation process of the insulating overcoat 40 performed afterward.

          Therefore, the configuration of the active matrix  
25           substrate in which the interlayer insulating film 38 is

provided underneath the pixel electrode 21 as shown in Fig. 1 and Fig. 2 is an optimal structure when using a coat-type transparent conductive material containing an organic component (resin component) as disclosed in the Japanese Patent Laid-Open Publication HEI 10-255556.

It will be understood that the photosensitive transparent conductive material is not limited to a material made from transparent photosensitive resin and ultrafine particles of ITO or ATO dispersed therein as described in the above-stated the Japanese Patent Laid-Open Publication HEI 10-255556. However, because this material is made from a photosensitive resin containing transparent conductive ultrafine particles, photosensitivity is easily imparted to the ITO material. Further, this material brings about an advantage that the photosensitive resin determining patterning conditions such as pre-bake temperature and light exposure, and the transparent conductive particles determining conductivity can be separately optimized. In addition, as the transparent conductive ultrafine particles for the photosensitive transparent conductive material, use of ITO or ATO makes it possible to facilitate implementation of the transparency (visible light transmissivity: 90% or above) and the electric characteristics (value of sheet resistance:  $1E5\Omega/\square$  or lower) required for the pixel electrode.

It will be also understood that the photosensitive transparent conductive material is not limited to a coat-type one, but a laminate-type dry film material is also applicable.

5           Next, the preferred fabrication process of the pixel electrode 21 to be used for the active matrix substrate of the present invention will be described with reference to Fig. 4.

10           Fig. 4 is a schematic view showing the fabrication process of the pixel electrode 21 used in the active matrix substrate described in the first embodiment.

15           First, Fig. 4-(1) shows a state in which, on the surface of an interlayer insulating film 38 formed on an active matrix substrate, there is applied a photosensitive transparent conductive material. In this case, a negative type photosensitive transparent conductive material (in which an exposed portion is left as a pattern) is used as the photosensitive transparent conductive material.

20           Fig. 4-(2) is a view showing the exposure process of the photosensitive transparent conductive material in the next step. As shown above, it is characterized in that the back side of the active matrix substrate is exposed to ultraviolet rays. Metallic signal lines (a gate signal line 22 and a source signal line 23) formed on the active  
25           matrix substrate function as exposure masks, so that the

ultraviolet rays are not emitted to the portions where the signal lines are placed. As to the portions of the photosensitive transparent conductive material to be exposed, which are hindered from being exposed to the rays from the back side (e.g., on top of the capacity line 27 or TFT 24), conventional exposure from the front side of the substrate may be performed together with the back side exposure.

Fig. 4-(3) shows a state in which the pixel electrode has been patterned by development processing in the next step. In the step shown in Fig. 4-(2), the back side exposure is performed by using the signal lines as masks, so that the pattern of a pixel electrode 21 is formed with the parts above the signal lines as boundaries.

As described above, the back side exposure with a negative type photosensitive transparent conductive material generates following advantages.

Performing exposure from the back side of the active matrix substrate by using the gate signal line and the source signal line formed on the substrate as exposure masks enables self-aligned pattern formation of a rectangle pixel electrode 21 without practicing alignment. As a result, dispersion of parasitic capacitance  $C_x$ , which is generated in a superposed portion X of the pixel electrode 21 and the source signal line 23 (or the gate signal line

22), can be uniformed in the entire pixel area. Consequently, if the active matrix substrate of the present invention is applied to flat panel display devices, the potential fluctuation of the pixel electrode 21 through the parasitic capacitance  $C_x$  is uniformed in all the pixels, which improves uniformity of display. In addition, if the active matrix substrate is applied to flat panel image sensing devices, the potential fluctuation of the pixel electrode 21 with the parasitic capacitance  $C_x$  is uniformed in all the pixels, which improves uniformity of photographed images.

In addition, since exposure is performed from the back side of the substrate, the photosensitive transparent conductive material applied over each signal line is not exposed unless any defect such as open holes is present on the signal lines. Accordingly, unlike the conventional case, there is not generated a conductive film remain in a clearance between pixel electrodes attributed to the presence of dust in the process of exposure. This ensures insulation between the pixel electrodes.

In the case where the active matrix substrate of the present invention is applied to liquid crystal display devices, orientation of liquid crystal molecules is disturbed in the vicinity of the edges of a pixel electrode 21. Accordingly, in order to cover up the disturbed

orientation, it is preferable to superimpose the edges of the pixel electrode 21 on the source signal line 23 (or the gate signal line 22). In that case, if the above fabrication process is used, setting exposure condition to an overexposure mode enables arbitral regulation of the width of the superimposed portion X of the pixel electrode 21 and the source signal line 23 (or the source signal line 22) within the range of 0 to 2 $\mu$ m.

Effect of the invention:

Since the active matrix substrate of the present invention has pixel electrodes made from a photosensitive transparent conductive material, in the process of patterning the pixel electrodes, the step of etching using photo resist is not required. That is, the pixel electrodes can be formed by the simple step of applying a photosensitive transparent conductive material over the substrate and performing mask exposure and development. Therefore, fabrication process of the pixel electrode can be shortened, and vacuum film-forming devices such as sputters as well as etching units for ITO are not required, which enables reduction of equipment investments, decrease of device space required, and increase of working efficiency. Further in the case of the active matrix substrate of the present invention, the pixel electrode is formed on the interlayer insulating film, which is formed

on the gate signal line, the source signal line and the switching element, so that the pixel electrode is to be formed in the final fabrication process of the active matrix substrate. Consequently, the material of the pixel electrode does not affect the film-formation process of other parts, which brings about broader selections of materials for the pixel electrode including a coat-type material containing an organic component (resin component).

In the active matrix substrate of the present invention, the photosensitive conductive material has negative type photosensitivity. Therefore, using the gate signal line and the source signal line formed on the substrate as exposure masks and performing exposure from the back side of the substrate enable self-aligned pattern formation of film without practicing alignment. As a result, dispersion of parasitic capacitance, which is generated in a superposed portion of the pixel electrode and the gate signal line or in a superposed portion of the pixel electrode and the source signal line, can be uniformed in the entire pixel area, by which the uniformity of display is improved. In addition, a photosensitive transparent conductive material applied over each signal line is not exposed unless any defect such as open holes is present on the signal lines. Accordingly, unlike the conventional case, a conductive film remain is not

generated in clearance between pixel electrodes by the presence of dust in the process of exposure, which ensures insulation between the pixel electrodes.

Brief explanation of the drawings:

5                    Fig. 1 is a plan view showing an active matrix substrate according to an embodiment of the present invention;

                  Fig. 2 is a cross sectional view taken on the line A-A' of Fig. 1;

10                   Fig. 3 is a cross sectional view showing an active matrix substrate serving as a comparative example of the present invention.

                  Fig. 4 is a schematic view showing a fabrication process of the active matrix substrate of the embodiment of  
15                   the present invention;

                  Fig. 5 is a plan view showing a conventional active matrix substrate; and

                  Fig. 6 is a cross sectional view taken on the line B-B' of Fig. 5.

20                   Explanation of numerals:

31    light permeable substrate

22    gate signal line

23    source signal line

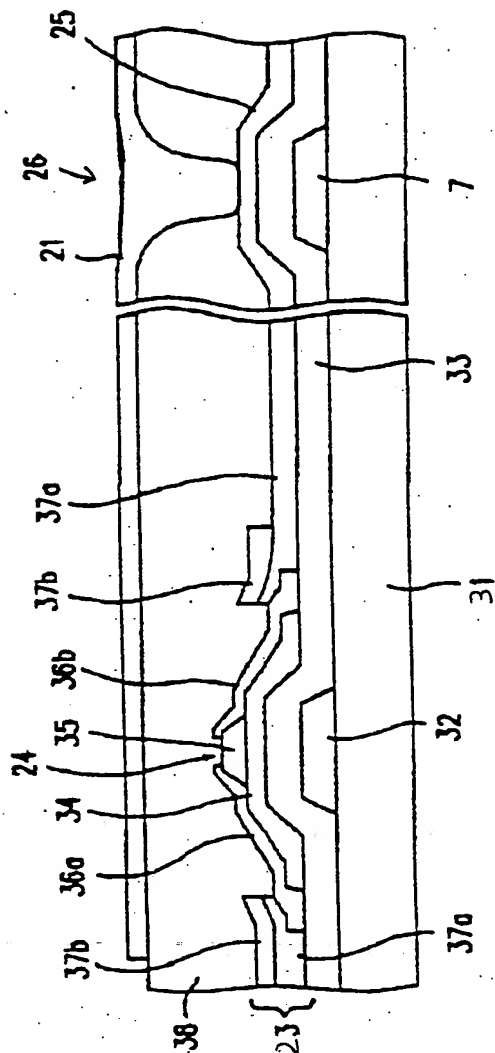
27    capacity line

25    21   pixel electrode

- 33 gate insulating film
- 34 semiconductor layer
- 35 channel protection layer
- 36a source electrode
- 5 36b drain electrode
- 37b metal line
- 37a transparent conductive line
- 25 connection electrode
- 38 interlayer insulating film
- 10 26 contact hole
- 24 TFT (thin film transistor)

X 1.8

Fig. 2



X 2.0

Fig. 1

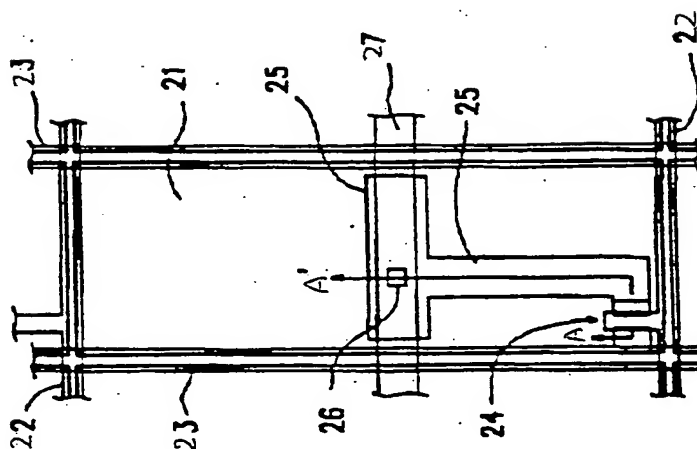


Fig. 3

40. insulating overcoat

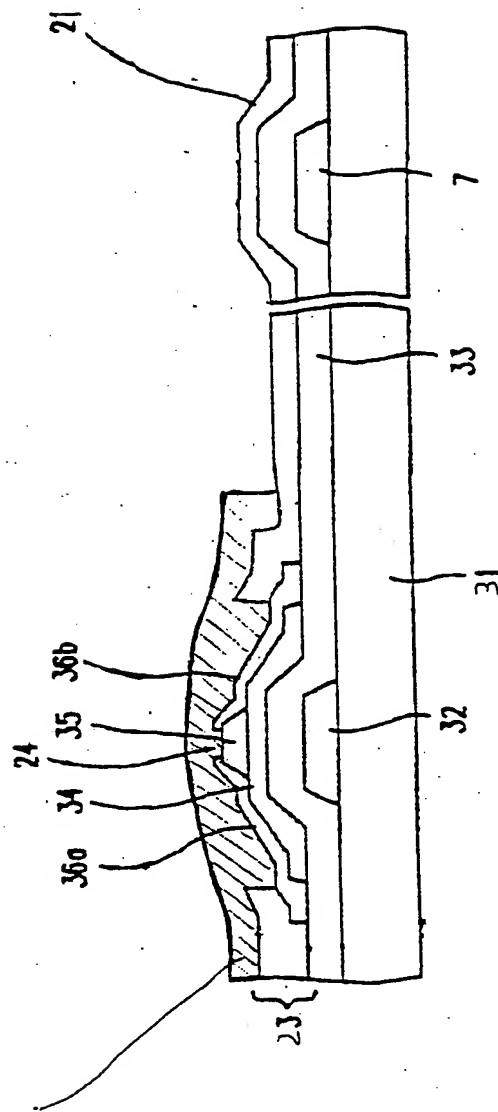


Fig. 4

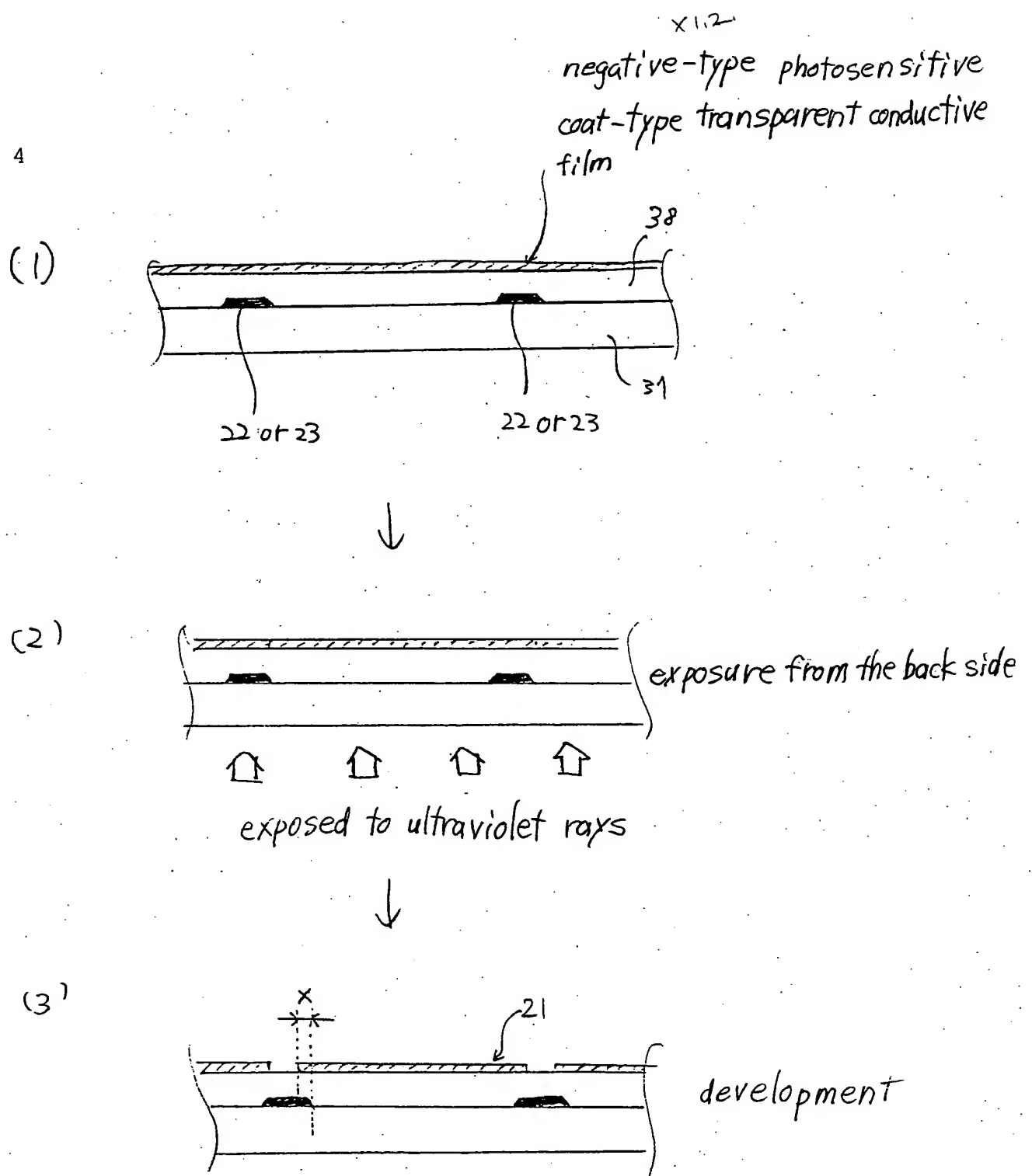


Fig. 5

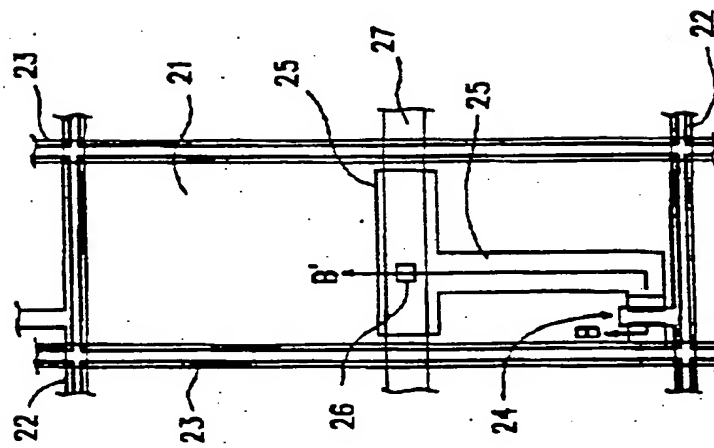
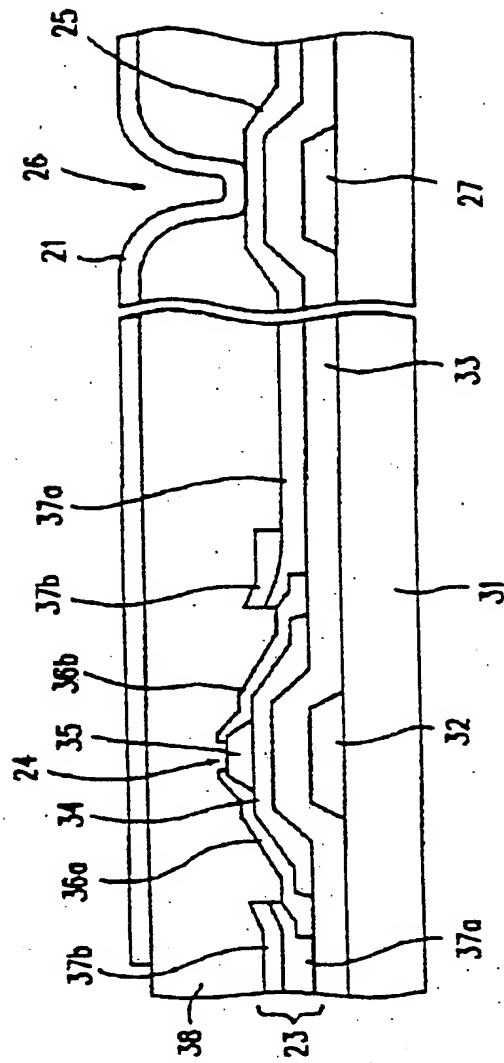
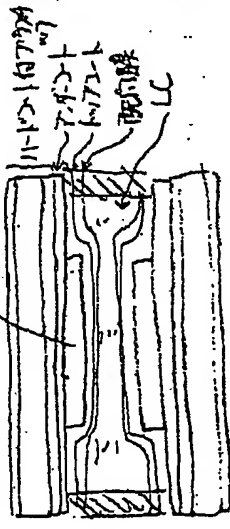


Fig. 6



(液晶) 発明コンセプトカード

発明考案 の名称	アラスチク液晶表示素子	所 属	液晶部 カン南社
発明考案 のポイント・概要	アラスチクSTN-LCの透明電極材料としてITO膜を用いた液晶表示素子の発明。従来のITO膜を用いた液晶表示素子では、ITO膜の透明性が低く、電圧特性が悪く、また、ITO膜の加工が難しい。本発明では、ITO膜の透明性を向上させ、電圧特性を改善し、加工性を向上させる。具体的には、ITO膜の組成を調整し、ITO膜の厚さを最適化し、ITO膜の加工方法を改良する。これにより、ITO膜の透明性を向上させ、電圧特性を改善し、加工性を向上させる。また、ITO膜の組成を調整し、ITO膜の厚さを最適化し、ITO膜の加工方法を改良する。これにより、ITO膜の透明性を向上させ、電圧特性を改善し、加工性を向上させる。		
①従来 技術と の差	アラスチクLCでは、ITO膜とアラスチク(有機物)の熱膨張係数の差や、基板自体のひずみ形状により、ITO膜にクラックが入りやすくなる。これにより、本発明では、ITO膜の熱膨張係数を低くし、基板自体のひずみ形状を低減させる。これにより、ITO膜のクラックを抑制し、加工性を向上させる。また、ITO膜の組成を調整し、ITO膜の厚さを最適化し、ITO膜の加工方法を改良する。これにより、ITO膜の透明性を向上させ、電圧特性を改善し、加工性を向上させる。		
②構成図 (必ず付け ること)			
発明の位置付け	CI	C2	C3
技術 新 実 現 性	実施化検討済 (即実施可能)		
実用化試作検討中			
実験で基本確認済			
着想のみ		0	
CI: 自社の権利化は不要で、他社の権利化を阻止する必要有 C2: 自社の権利化が必要で、他社への権利行使の可能性有 C3: 自社の権利化が絶対必要な基本又は必然的技術で、 自社他社ともに回避困難 【外国出願予定】 有・未定・無 (出願希望国: )			
部 長	副参事	係長/主任	専(兼)任者
岡 井	岡 本		

Ex. 3

発明番号: 0540  
依頼番号: 09L138  
技術区分:  
部門整理No: -

【作成日】 2004年2月4日  
【特許出願検討結果】  
1. 出願可能と考えます。  
2. 既に同一の技術、出願があり、出願は困難です。  
3. 先行類似資料あり、違いを明確にして出願依頼して下さい。  
4. コメント

所長

ゼロプロ(Z015)終了報告書

テーマ： TFT-LCD の革新的製造技術-ソフト溶液プロセス

プロジェクト期間	1998 年 10 月 ～ 2000 年 3 月	
プロジェクトメンバー	和泉良弘、近間義雅	
当初の狙い	見極め結果	
・ [Redacted] ポイント ・装置コストの低減 ・プロセスの低エネルギー化 ・スループットの向上 ・材料使用量の低減 ・ [Redacted]	1) [Redacted] [Redacted] [Redacted] 2) オール脱真空プロセスを目指し、 [Redacted] [Redacted] 新規配 線の実現に向けた課題を明確化した。 3) [Redacted] [Redacted] 4) [Redacted] [Redacted]。	
特許出願件数/項数	累計 11 件 / 91 項	

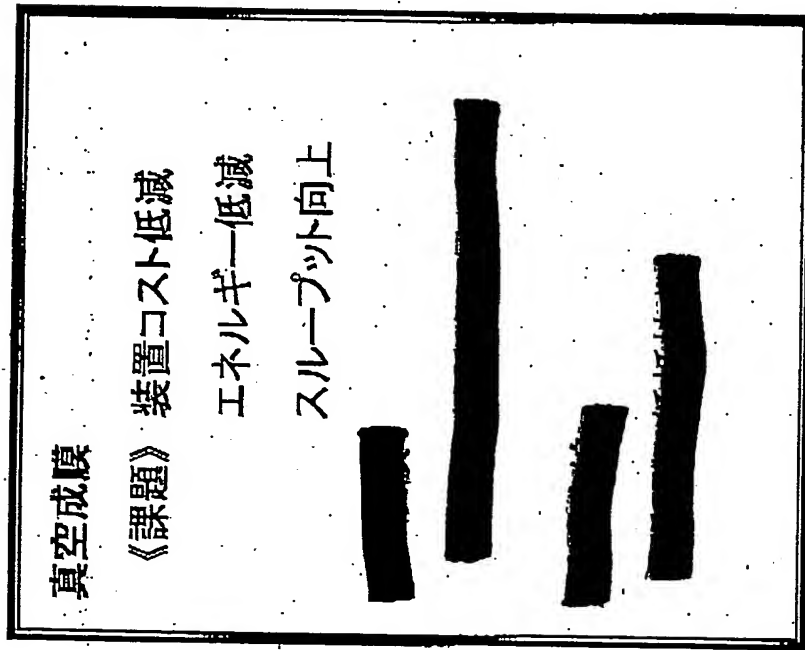
2000 年 3 月 29 日

液晶研究所

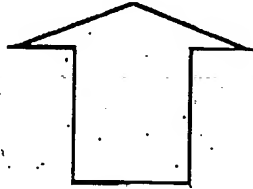
Ex. 4

1. 背景

《現行配線プロセス》



ブレークスルー



《将来配線プロセス》



2000年3月29日  
液晶研究所

## 2. 新規配線の検討手順

1) 

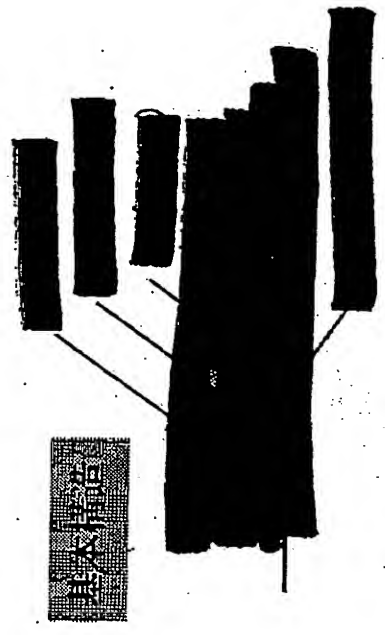
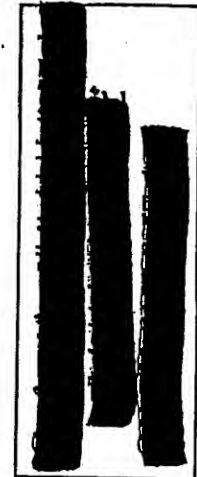
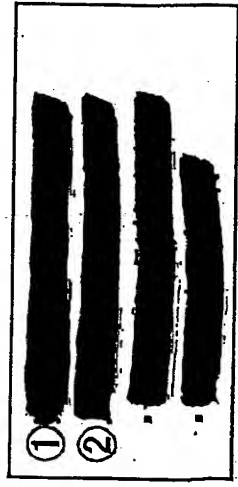


2) 



3) 

4) 

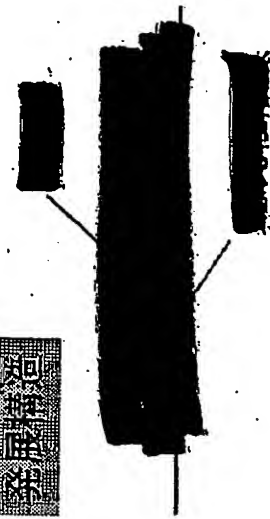


基本構造

変形構造



変形構造



2000 年 3 月 29 日  
液晶研究所



②

1) [REDACTED]

1) [REDACTED] (写真左)

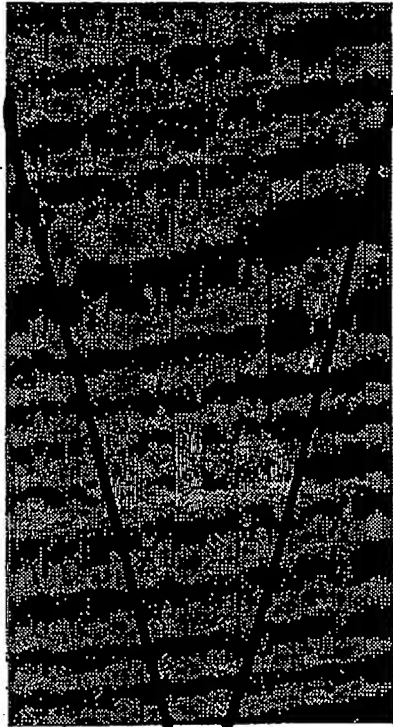
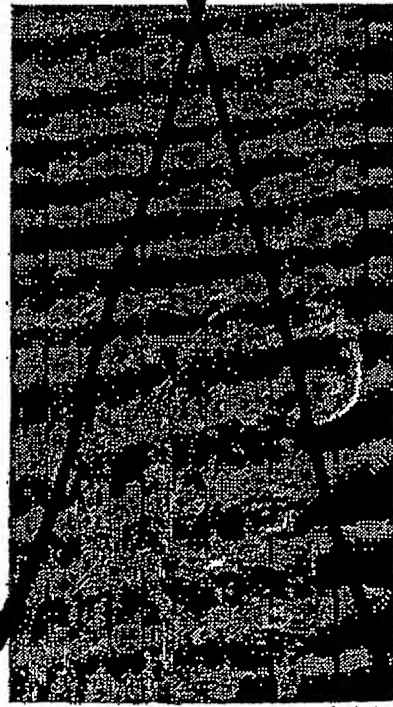
目的: ①

②

2) [REDACTED] (写真右)

(従来)

(対策後)



4200 Å

結果:

[特許出願]

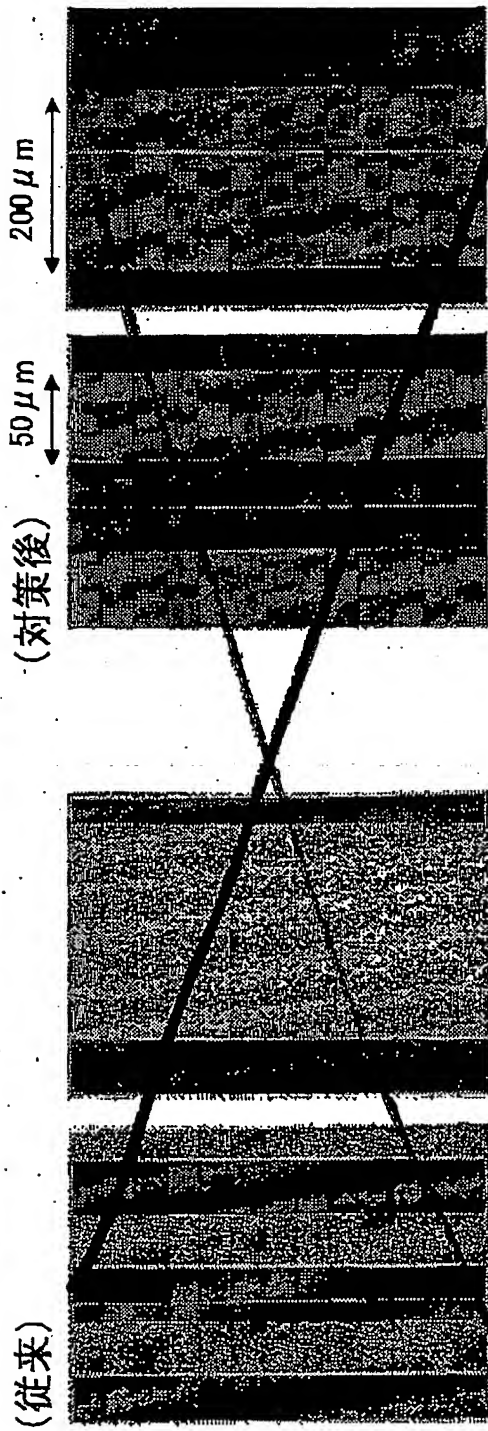
2000年3月29日

液晶研究所

5/18

([REDACTED])

- 1) 現象 : [REDACTED]
- 2) 原因究明 : ① [REDACTED] → [REDACTED]  
② [REDACTED] → [REDACTED]
- 3) 対策検討 : [REDACTED]



結果:

[特許出願]

2000 年 3 月 29 日  
液晶研究所

## 2-(2). 透明導電膜の脱真空プロセス化

### (感光性ゾルゲル材料の開発)

塗布型 ITO (または SnO<sub>2</sub>) の材料としてゾルゲル法に着目し、感光性付与方式を検討

方式	ゾルゲル材料+ネガ型フォトレジスト	
材料	SnO <sub>2</sub>	ITO
感光原理	UV 光によるフォトレジストの重合反応	
感度	約500mJ (@ $\lambda = 365\text{nm}$ )	
解像性 (L/S)	5 $\mu\text{m}$	
焼成温度	500°C	
膜特性 ( $d=1000\text{\AA}$ )	透過率: >95% 抵抗: 10~50k $\Omega/\square$	透過率: >90% 抵抗: 10~50k $\Omega/\square$

結果: ゾルゲル材料の感光性付与方式として、高感度なネガ型フォトレジスト添加方式を選定。

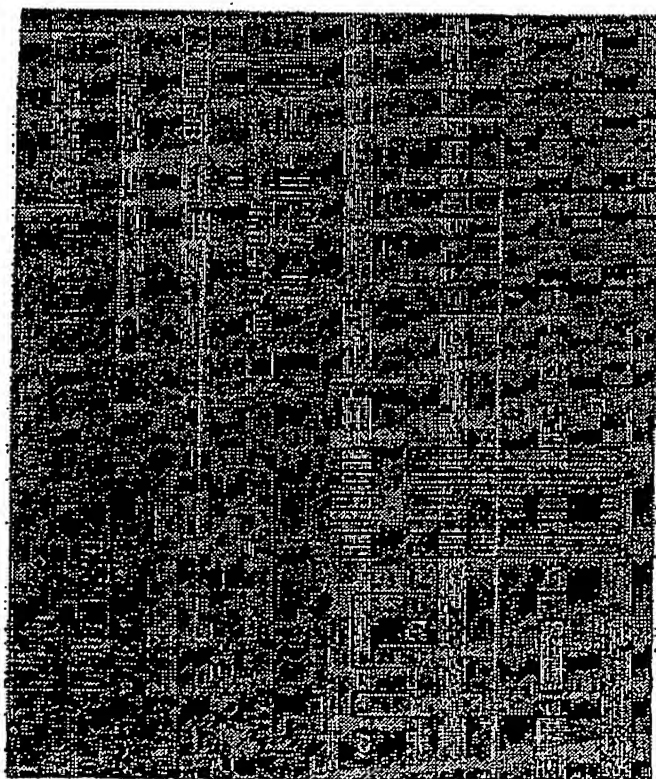
2000 年 3 月 29 日

液晶研究所

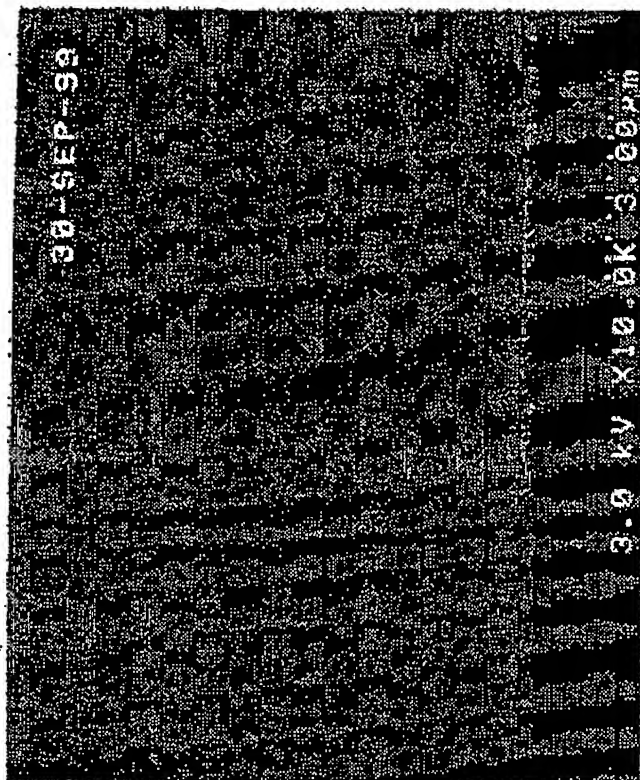
7/18

(参考) フォトリジスト添加方式のゾルゲルITOパターン

解像パターン(顕微鏡)



パターンエッジ部のシヤープネス(SEM)



2000年3月29日  
液晶研究所

8/18

2-(3). [REDACTED]

1) [REDACTED] ⇒ [REDACTED] (理由)

[REDACTED]	[REDACTED]	[REDACTED]	[REDACTED]	[REDACTED]
[REDACTED]	[REDACTED]	[REDACTED]	[REDACTED]	[REDACTED]

2) [REDACTED]

[REDACTED]	[REDACTED]	[REDACTED]	[REDACTED]
[REDACTED]	[REDACTED]	[REDACTED]	[REDACTED]
[REDACTED]	[REDACTED]	[REDACTED]	[REDACTED]
[REDACTED]	[REDACTED]	[REDACTED]	[REDACTED]



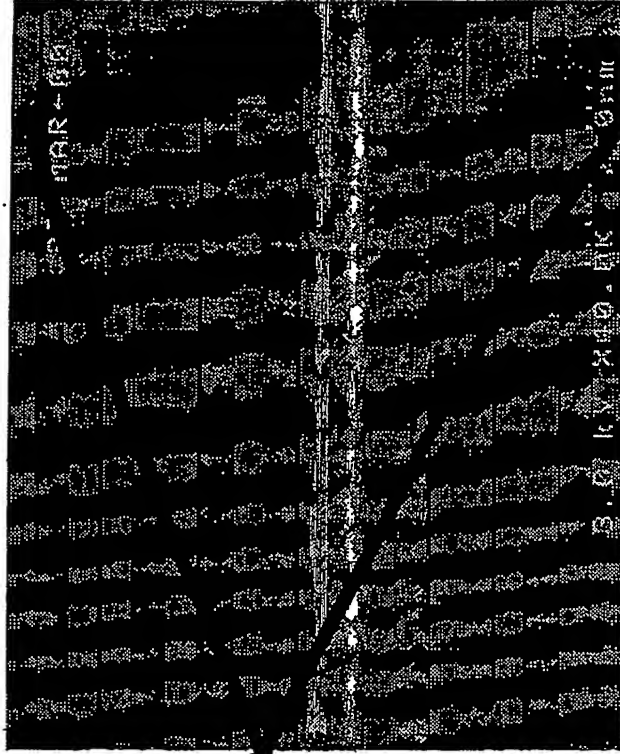
結果: [REDACTED]

(参考)

平面写真(ブリッジ不良発生)



断面写真



2000年3月29日

液晶研究所

10/18

[Redacted]

○:目標達成 △:あと一步 ×:未達成 -:未評価、調査段階

項目	目標値	検討結果		予定
[Redacted]	[Redacted]	[Redacted]	[Redacted]	
	[Redacted]	[Redacted]	[Redacted]	
	[Redacted]	[Redacted]	[Redacted]	
	[Redacted]	[Redacted]	[Redacted]	
感光性ゾルゲル膜 (ITO、SnO <sub>2</sub> )	露光条件	<200mJ(@365nm)	△ 500mJ(@365nm)	
	解像度(L/S)	>5μm	○ 5μm	
[Redacted]	[Redacted]	[Redacted]	[Redacted]	
	[Redacted]	[Redacted]	[Redacted]	
	[Redacted]	[Redacted]	[Redacted]	

2000年3月29日  
液晶研究所

11/18

# 2-(4). 次世代要素技術の調査

①

方式	①	②	③
工程	①	②	③
特徴			

2000年3月29日  
液晶研究所

結果

	初期評価結果	対策案
解像性	[REDACTED]	
密着力	[REDACTED]	[REDACTED]
電気特性	[REDACTED]	[REDACTED] (注)



2000年3月29日  
液晶研究所

②

[REDACTED]

調査結果

項目	解決手段
[REDACTED]	[REDACTED] ↓ [REDACTED] ↓ [REDACTED]
[REDACTED]	[REDACTED] ↓ [REDACTED] [REDACTED]



2000年3月29日

液晶研究所

# 次世代要素技術 検討結果一覧

○:目標達成 △:あと一步 ×:未達成 ー:未評価、調査段階

項目		目標値	検討結果	予定
[Redacted]	[Redacted]	[Redacted]	[Redacted]	継続
	[Redacted]	[Redacted]	[Redacted]	
	[Redacted]	[Redacted]	[Redacted]	
	[Redacted]	[Redacted]	[Redacted]	
	[Redacted]	[Redacted]	×	
	[Redacted]	[Redacted]	ー	
[Redacted]	[Redacted]	[Redacted]	ー	
	[Redacted]	[Redacted]	[Redacted]	

2000年3月29日  
液晶研究所

### 3. まとめ

[REDACTED]

[REDACTED]

[REDACTED]

[REDACTED]、感光性ゾルゲル膜の[REDACTED]について、材料・プロセスの最適化を行うと共に、[REDACTED]、新規配線の実現に向けて課題の抽出を行った。

[REDACTED]

[REDACTED]

[REDACTED]

2000年3月29日  
液晶研究所

#### 4. 今後の方向付け

本ゼロプロの成果を基に、継続して以下の開発検討を推進していく。

項目	検討課題
1) 配線技術の更なる改善	<p>ゾルゲル膜の [REDACTED] に伴う課題の改善</p> <p>ゾルゲル膜現像残さ対策、 [REDACTED]</p> <p>[REDACTED]</p> <p>[REDACTED]</p> <p>[REDACTED] (目標&lt; [REDACTED])</p>
2) デバイス物性評価	<p>[REDACTED]</p> <p>[REDACTED]</p> <p>[REDACTED]</p> <p>[REDACTED]</p>
3) 応用分野の探索	<p>[REDACTED]</p> <p>[REDACTED]</p> <p>[REDACTED]</p> <p>[REDACTED]</p> <p>[REDACTED]</p>
4) 他の湿式成膜技術の調査	<p>・低温焼成タイプの塗布型感光性 ITO 材料検討</p>

2000 年 3 月 29 日

液晶研究所

17/18

## 5. 特許出願一覧

出願番号	出願日	発明の名称	概要
1	1999/04/13	金属配線の製造方法	Cu/Au/Niメッキ配線を、フォトリソ工程1回、エッチング工程1回で製造する方法。別途、国内優先(出願番号 H12-007788)有り。
2	1999/05/18	電気配線の製造方法 および配線基板	湿式プロセスにより形成された酸化膜上に、選択的にメッキ配線を形成する基本特許。別途、国内優先(依頼中)有り。
3	1999/07/16	金属配線の製造方法	スパッタメタル膜上に Cu/Au を選択メッキ。低抵抗化を図る。
4	1999/08/26	金属配線の製造方法	感光性樹脂パターン上に金属膜を選択メッキ。
5	2000/01/27	アクティブマトリクス基板およびその製造方法	ソルゲルITO 膜を画素電極に用いたアクティブマトリクス基板。
6	2000/02/29	金属配線、薄膜トランジスタ、表示装置	ソルゲルITO 膜をファーストレイヤーで製造。 Cu/Au/Ni メッキ配線において、表面凹凸を改善するために Ni 膜中リン P 含量を規定。
7	依頼中	金属配線およびアクティブマトリクス基板	Cu/Au/Ni メッキ配線において、断面テーパ形状を最適化するために各種パラメータを数値限定。
8	依頼中	アクティブマトリクス基板およびその製造方法	現行 TFT アレイのバスライン上の保護膜に開口部を設け、その部分にのみ選択的にメッキを行い、バスラインの低抵抗化を図る。
9	依頼中	金属配線基板およびその製造方法	プラスチック基板上に開口部を有するバリア層を形成し、開口部にのみ選択的にダイレクトメッキを行い、金属配線を形成する。
10	依頼中	アクティブマトリクス基板およびその製造方法	SHA 構造の画素 ITO 電極に、ネガ型感光性塗布型 ITO(超微粒子分散タイプ)を用いることで、裏面露光(自己整合露光)を可能にする。
11	依頼中	プラスチック表示素子	プラスチックLCDの透明電極(ITO)に、感光性塗布型 ITO(超微粒子分散タイプ)を用いることで、ITOのクラック発生を防ぐ。

2000年3月29日



液晶研究所

18/18

Document E

出願用原稿が出来ました。  
5月 31日 までに回答して下さい。

極秘


 発明者 考案者 殿	特許開発室 中西 様 5/25 ④ 渡野 ⑤ 渡野 5/26	③ ← ⑥ →	特許推進部担当者 西田 雅生 様 ② ← ⑦ →	特許推進部責任者 部長 北 善延 様 ① ← ⑧ →	青山 特許事務所 5月23日 [担当者] 山崎 宏夫 寒川 敏夫 ⑨ 山崎
	業務企画部受付 				

## 国内出願原稿確認書

受理番号	00J 00996 (170517)
名 称	アクティブマトリクス基板ならびに表示装置及び撮像装置
発明・考案者	和泉 良弘, 近間 義雅
発明・考案者所属	液晶研究所 第2開発部

発明・考案者 殿

標記出願依頼に基づき、別紙の通り出願原稿を作成しましたので、発明内容の記載、数値、誤記等を確認し、訂正の有無を記入頂き、別紙原稿と共に上記手順で本確認書を至急返却願います。

訂正有無	①. なし	②. 下記の訂正あり	【確認印】 
《訂正箇所》	《誤》	《正》	
P2. L23-24	TFT14, ケーブル信号線12,	TFT14, ケーブル信号線12,	
P10 L15	ATOを用いることにより	ATOを用いることにより	

※訂正欄が不足する場合は、A4用紙を別添の上記載願います。

Ex. 5

所属: 00002050 機械電気第5部

氏名: 00000149 寒川 敏夫

処理期間 00年 4月21日 ~ 00年 5月20日  
日付 曜日 カラダ 勤務区分 出勤時刻 MC 退勤時刻 MC 外出時刻 戻り時刻 所定時間 残業休出 深夜時間 遅早外H

4/21 (金)	1 勤務 1	8:50	17:54	7:30
4/22 (土)	休日	—	—	
4/23 (日)	休日	—	—	
4/24 (月)	1 勤務 1	8:50	17:51	7:30
4/25 (火)	1 勤務 1	8:50	18:45	7:30
4/26 (水)	1 勤務 1	8:54	18:57	7:30
4/27 (木)	1 勤務 1	8:51	18:37	7:30
4/28 (金)	1 勤務 1	8:51	17:51	7:30
4/29 (土)	祝日	—	—	
4/30 (日)	休日	—	—	
5/01 (月)	1 勤務 1	8:49	18:36	7:30
5/02 (火)	1 勤務 1	8:49	17:35	7:30
5/03 (水)	祝日	—	—	
5/04 (木)	休日	—	—	
5/05 (金)	祝日	—	—	
5/06 (土)	休日	—	—	
5/07 (日)	休日	—	—	
5/08 (月)	1 勤務 1	8:50	18:06	7:30
5/09 (火)	1 勤務 1	8:52	19:06	7:30
5/10 (水)	1 勤務 1	8:50	18:56	7:30
5/11 (木)	1 勤務 1	8:51	18:35	7:30
5/12 (金)	1 勤務 1	8:50	18:12	7:30
5/13 (土)	休日	—	—	
5/14 (日)	休日	—	—	
5/15 (月)	1 勤務 1	8:52	18:46	7:30
5/16 (火)	1 勤務 1	8:50	18:34	7:30
5/17 (水)	1 勤務 1	8:51	18:46	7:30
5/18 (木)	1 勤務 1	8:51	18:35	7:30
5/19 (金)	1 勤務 1	8:52	18:40	7:30
5/20 (土)	休日	—	—	

所定日数	18.00	出勤日数	18.00	欠勤日数	0.00	有休日数	0.00
所定時間	135:00	残業休出	0:00	深夜時間	0:00	遅早外H	0:00

Ex. 6

処理期間 00年 5月21日 ~ 00年 6月20日  
時間 残業休出 深夜時間 遅早外H

[illegible]

所定日数	22.00	出勤日数	22.00	欠勤日数	0.00	有休日数	0.00
------	-------	------	-------	------	------	------	------

所定時間	殘業休出	深夜時間	遲早外H
165:00	0:00	0:00	0:00

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**